

**Beschreibung****Schaltkreis-Anordnung**

- 5 Die Erfindung betrifft eine Schaltkreis-Anordnung.

Bei mobilen Geräten wie einem Mobiltelefon oder einem PDA-Gerät ("personal digital assistant") ist eine energiesparende Betriebsweise wesentlich. Aus diesem Grund ist es bei einem  
10 derartigen Gerät wünschenswert, dass es in einem energiesparenden Modus verwendet werden kann.

Sind in einem solchen Gerät Feldeffekttransistoren enthalten, so sind Transistoren mit einem niedrigen Wert der  
15 Schwellenspannung vorteilhaft, da diese einen Betrieb mit einer hohen Verarbeitungsgeschwindigkeit und mit einem niedrigen Wert der Versorgungsspannung ermöglichen. Allerdings weist ein Transistor mit einer niedrigen Schwellenspannung einen hohen Unterschwellenstrom auf, der  
20 besonders in integrierten Schaltungen für mobile Geräte wie Mobiltelefone oder PDAs zu einer beschleunigten Entladung der Batterie führt. Ein Transistor mit einer niedrigen Schwellenspannung ist anfällig für das Auftreten von Leckströmen. Solche Leckströme sind beispielsweise ein  
25 Unterschwellenstrom bzw. ein Gate-Leckstrom bei gleichzeitiger Verwendung eines dünnen Gateoxids (z.B. <2nm).

Um diesem Problem Herr zu werden, können in einem energiesparenden Betriebsmodus ("Standby"- bzw. "Power-Down"-  
30 Modus) Leckstromkomponenten einer CMOS-Schaltung mittels Bereitstellens von Leistungsschaltern ("Power-Switches") verringert werden, die mittels Transistoren mit hoher Schwellenspannung und großer Dicke der Gate-isolierenden Schicht realisiert sind. Wird in einem energiesparenden  
35 Betriebsmodus ein solcher Transistor mit hoher Schwellenspannung ausgeschaltet, so ist mit diesem ein Abfließen von Leckströmen und somit ein Entladen der Batterie

vermieden. Zu den Leckstromkomponenten zählen insbesondere der Unterschwellenstrom und der Gate-Leckstrom von Transistoren mit geringer Schwellenspannung bzw. geringer Dicke der Gate-isolierenden Schicht. Mittels ausgeschalteter Leistungsschalter wird in dem Standby-Modus in der Schaltung die elektrische Kopplung zwischen Transistoren niedriger Schwellenspannung und einem Massepotential  $V_{SS}$  (im Falle von n-MOS-Leistungsschaltern) bzw. einer Versorgungsspannung  $V_{DDL}$  (im Falle von p-MOS-Leistungsschaltern) unterbrochen. Der Leistungsschalter-Transistor weist einen hohen Wert der Schwellenspannung und eine große Dicke der Gate-isolierenden Schicht auf, so dass die Leckströme hier vorzugsweise drei bis vier Dekaden geringer sind als bei den Transistoren mit niedriger Schwellenspannung und dünner Gate-isolierender Schicht. Um in dem aktiven Betriebszustand des Schaltkreises eine ausreichend gute elektrische Kopplung zwischen Transistoren des Schaltkreises und einem zugeordneten elektrischen Potential (Massepotential, Versorgungsspannung) zu gewährleisten, kann der Leistungsschalter-Transistor mit einer höheren Versorgungsspannung (z.B.  $V_{DDH}=1.2V$  bis  $1.5 V$  bei einer 100nm CMOS-Technologie) betrieben werden. Eine derartige Schaltungstechnik ist unter dem Begriff "Multi- $V_{DD}/V_T$ -Schaltungstechnik" bekannt, da mehrere unterschiedliche Versorgungsspannungen und Transistoren mit unterschiedlichen Werten der Schwellenspannung bereitgestellt sind, vgl. [1]. Je nach Schaltaktivitäten und Anforderung an die Geschwindigkeit kann für eine spezielle Anwendung somit ein geeigneter Spannungshub gewählt werden. Für eine Logikschaltung ist hierfür lediglich die Anzahl und Dimensionierung der Leistungsschalter-Transistoren zu bestimmen.

Aus [2] ist die sogenannte "Boosted Gate CMOS-Technik" bekannt. Diese Technik begegnet dem in herkömmlichen CMOS-Schaltkreisen auftretenden Problem, dass bei der Implementierung von Transistoren mit geringer Schwellenspannung und geringer Dicke der Gate-isolierenden

Schicht in einem Standby bzw. Power-Down-Modus Leckströme entstehen, welche besonders in einer integrierten Schaltung für mobile Geräte wie Mobiltelefone oder PDA zu einer beschleunigten Entladung der Batterie führen. In einem  
5 gesonderten, energiesparenden Betriebsmodus werden deshalb die Leckstrom-Komponenten der CMOS-Schaltung mittels Ausschaltens von Leistungsschaltern (power switches) vor einem übermäßig großen Leckstrom geschützt.

- 10 Das Prinzip der "Boosted Gate CMOS-Technologie" ist in **Fig.1** veranschaulicht.

Fig.1 zeigt eine Schaltkreis-Anordnung 100 aus einem CMOS-Schaltkreis 101 und einem Leistungsschalter-Schaltkreis 102.  
15 Der CMOS-Schaltkreis 101 enthält eine Vielzahl von ersten Feldeffekttransistoren 103, welche als Transistoren mit einer geringen Schwellenspannung und einer geringen Dicke der Gate-isolierenden Schicht realisiert sind. Der Leistungsschalter-Schaltkreis 102 ist aus einem zweiten Feldeffekttransistor  
20 104 gebildet, welcher eine hohe Schwellenspannung und eine große Dicke der Gate-isolierenden Schicht aufweist. Der CMOS-Schaltkreis 101 wird unter Verwendung einer Versorgungsspannung 105 VDD und eines Massepotentials 106 GNDV betrieben. An dem Gate-Anschluss des zweiten  
25 Feldeffekttransistors 104 liegt in einem Standby-Modus eine Standby-Spannung 107 an, wohingegen an dem Gate-Anschluss des zweiten Feldeffekttransistors 104 in einem aktiven Zustandsmodus eine Aktivzustands-Spannung 108  $V_{boost}$  anliegt. In dem Standby-Modus sperrt der zweite Feldeffekttransistor  
30 104 mit dem hohen Wert der Schwellenspannung ausreichend sicher, so dass ein Abfließen von elektrischen Ladungsträgern aus dem CMOS-Schaltkreis 101 vermieden ist.

Ein Schaltkreis kann Flip-Flop-Speicher enthalten, welche  
35 einen Zustand in Registern speichern bzw. die in einem Datenpfad zur Synchronisierung verwendet werden. Diese Zustände, in denen Speicherinformation kodiert ist, sollen

auch in einem Standby-Modus erhalten bleiben, sofern der Speichereinhalt nicht in einem externen Speicher abgelegt wird. Letztere Option scheidet insbesondere dann aus, wenn sich Standby-Modus und aktiver Modus zeitlich schnell  
5 abwechseln und ein zusätzlicher Energieverbrauch zum Sichern bzw. Rückschreiben des Speichereinhalts vermieden werden soll. Eine Schwierigkeit bei der Implementierung von Flip-Flops in Multi- $V_{DD}/V_T$ -CMOS-Logik besteht in der dauerhaften Speicherung eines zuvor in das Flip-Flop eingeschriebenen Datums bei  
10 abgeschalteten Leistungsschaltern. Im Gegensatz zu Logikschaltungen sollen die internen Speicherknoten des Flip-Flops stets einen eindeutigen Spannungspegel ( $V_{DD}$  oder  $V_{SS}$ ) aufweisen, so dass der Zustand des Flip-Flops erhalten bleibt.

15

Aus dem Stand der Technik ist bekannt, für ein Speicher-Flip-Flop zusätzliche Schaltungskomponenten zu verwenden, um in dem Flip-Flop gespeicherte Daten während eines Standby-Modus zwischenzuspeichern. Zusätzliche Schaltungskomponenten  
20 bewirken jedoch einen erhöhten Flächen- und Leistungsbedarf.

Aus [3] ist bekannt, ein zusätzliches Speicher-Flip-Flop zu verwenden, das aus Transistoren mit einer ausreichend hohen Schwellenspannung aufgebaut ist. Eine solche Anordnung  
25 erfordert einen hohen Flächenbedarf und zusätzliche Steuerleitungen, um Informationen in die Speicherknoten des Flip-Flops einzuschreiben bzw. zurückzuschreiben.

Aus [4], [5] ist die Verwendung eines sogenannten "Triple-Series Switch" bekannt, bei dem ein n-MOS- und p-MOS-Leistungsschalter eingesetzt und um jeweils zwei parallele n-MOS und p-MOS-Transistoren mit einer ausreichend hohen Schwellenspannung ergänzt wird. Je nach dem elektrischen Potential auf den Speicherknoten wird über die  
30 Zusatztransistoren im Standby-Modus ein elektrisch leitender Pfad zu einer Versorgungsspannung hergestellt. Die Leistungsschalter sind mit einer Spannung oberhalb der

Versorgungsspannung  $V_{DD}$  bzw. unterhalb der unteren Referenzspannung  $V_{SS}$  anzusteuern. Die Zusatztransistoren sind in dem kritischen Pfad des Flip-Flops angeordnet, das heißt in dem Pfad, entlang welchem Datensignale in das Flip-Flop eingekoppelt werden, und stellen somit eine zusätzliche Last dar, aufgrund welcher die Propagationszeit durch das Flip-Flop unerwünscht erhöht wird.

Aus [6] ist eine Sub-100 Nanometer CMOS-Technologie bekannt.

Aus [7], [8] sind Flip-Flops und Pulsgeneratoren bekannt.

Aus [9] ist ein Flip-Flop unter Verwendung von Invertern und Schalt-Transistoren bekannt.

In [10] ist beschrieben, wie bei einem Feldeffekttransistor die Schwellenspannung eingestellt werden kann.

Aus [11] ist eine Scan-Anordnung als Test-Schaltkreis für ein Flip-Flop bekannt.

[12] offenbart eine integrierte Halbleiterschaltung mit einer zwischen einer virtuellen Spannungsversorgungsleitung und einer virtuellen Masseleitung geschalteten Logikschaltung, wobei zwischen der virtuellen Spannungsversorgungsleitung und einer tatsächlichen Spannungsversorgungsleitung ein p-MOS-Transistor und zwischen der virtuellen Masseleitung und einer tatsächlichen Masseleitung ein n-MOS-Transistor geschaltet ist.

[13] offenbart ein Verfahren und eine Schaltungsanordnung zum Testen von integrierten Festkörperschaltkreisen.

[14] offenbart ein Latch und einen Flip-Flop.

[15] offenbart einen integrierten Halbleiterschaltkreis, einen Logikoperationsschaltkreis und ein Flip-Flop.

[16] offenbart ein Flip-Flop, das ein Clock-Signal empfängt, das Clock-Signal um ein vorgegebenes Zeitintervall verzögert und das Verzögerungszeitintervall von dem Clock-Signal  
5 detektiert.

[17] offenbart einen Scantest-Schaltkreis, ein Verfahren zum Testen desselben und ein Verfahren zum Initialisieren eines Flip-Flops.

10

Der Erfindung liegt das Problem zugrunde, eine Schaltkreis-Anordnung mit einem in einem Standby-Modus betreibbaren Flip-Flop zu schaffen, wobei Signalzeiten zum Durchlaufen der Schaltkreis-Anordnung ausreichend kurz sein sollen.

15

Das Problem wird durch eine Schaltkreis-Anordnung mit den Merkmalen gemäß dem unabhängigen Patentanspruch gelöst.

20

Die erfindungsgemäße Schaltkreis-Anordnung enthält ein Flip-Flop mit einer Mehrzahl von Speicher-Transistoren mit einer Schwellenspannung eines ersten Werts. Ferner weist die Schaltkreis-Anordnung einen Leistungsschalter-Transistor mit einer Schwellenspannung eines zweiten Werts auf, der derart eingerichtet ist, dass mittels Anlegens eines vorgebbaren  
25 elektrischen Potentials an seinen Gate-Anschluss die Schaltkreis-Anordnung in einen Betriebszustand bringbar ist, in dem bei Abschalten mindestens einer Versorgungsspannung in der Schaltkreis-Anordnung enthaltene elektrische Ladungsträger vor einem Abfließen aus der Schaltkreis-  
30 Anordnung geschützt sind. Ferner enthält die erfindungsgemäße Schaltkreis-Anordnung eine Mehrzahl von Schalt-Transistoren mit einer Schwellenspannung eines dritten Werts zwischen dem Flip-Flop und dem Leistungsschalter-Transistor, zum Einkoppeln eines Flip-Flop-Eingabesignals in den Flip-Flop.  
35 Der erste und/oder der zweite Wert der Schwellenspannung ist bzw. sind größer als der dritte Wert.

Eine Grundidee der Erfindung ist darin zu sehen, dass bei der erfindungsgemäßen Schaltkreis-Anordnung Speicher-Transistoren des Flip-Flops bzw. der Leistungsschalter-Transistor mit einem höheren Wert der Schwellenspannung realisiert sind als  
5 die Schalt-Transistoren zum Einkoppeln von einem elektrischen Signal in das Flip-Flop. Aufgrund des ausreichend großen Werts der Schwellenspannung der Speicher-Transistoren des Flip-Flops ist auch in einem Standby-Modus, in dem mindestens eine Versorgungsspannung der Schaltkreis-Anordnung  
10 abgeschaltet ist, ein Abfließen von elektrischen Ladungsträgern aus dem Flip-Flop und somit einen Verlust der Speicherinformation vermieden. Aufgrund der Verwendung eines Leistungsschalter-Transistors mit einem ausreichend hohen Wert der Schwellenspannung kann in einem Standby-Modus ein  
15 unerwünschtes Abfließen von elektrischen Ladungsträgern von Knoten der Schaltkreis-Anordnung vermieden werden. Die Schalt-Transistoren liegen anschaulich zwischen Leistungsschalter-Transistor und den Speicher-Transistoren und somit im Propagationspfad von Datensignalen, welche in  
20 das Speicher-Flip-Flop eingekoppelt werden. Aufgrund des geringen Werts der Schwellenspannung der Schalt-Transistoren weisen diese eine hohe Treiberfähigkeit auf, so dass die Verzögerung bzw. Dämpfung eines Datensignals, welches mittels der Schalt-Transistoren in das Flip-Flop eingekoppelt wird,  
25 gering gehalten wird.

Bereits mittels eines zusätzlichen Bauelements, des Leistungsschalter-Transistors, kann eine Speicherinformation für einen Standby-Modus sicher in der Schaltkreis-Anordnung  
30 gespeichert werden. Dadurch ist sichergestellt, dass der Flächenbedarf der Schaltkreis-Anordnung vertretbar gering bleibt. Ferner ist eine hohe Signalgeschwindigkeit in der Schaltkreis-Anordnung ermöglicht, da der Propagationspfad der Signale von Transistoren mit einem hohem Wert der  
35 Schwellenspannung frei ist. Somit sind anschaulich die Vorteile von Transistoren mit hoher Schwellenspannung (geringer Leckstrom) und Transistoren mit geringer

Schwellenspannung (geringe Signalverzögerung und Dämpfung) vorteilhaft kombiniert. Dadurch ist insbesondere für mobile Geräte wie ein PDA eine energiesparende Speichermöglichkeit in einem Power-Down-Modus geschaffen.

5

Mit anderen Worten ist erfindungsgemäß eine Schaltkreis-Anordnung mit einem Flip-Flop geschaffen, das in einem energiesparenden Standby-Modus betrieben werden kann. Das Flip-Flop kann beispielsweise in statischer CMOS-Technologie  
10 implementiert sein und kann auf einer Sub-100 nm-Technologie basieren, in welcher Transistoren mit unterschiedlichen Schwellenspannungen und Dicken der Gate-isolierenden Schicht bereitgestellt sind (Multi- $V_T$ -CMOS-Technik). Die Schaltkreis-Anordnung mit Flip-Flop eignet sich insbesondere für eine  
15 verlustarme Schaltung mit niedrigen Versorgungsspannungen (zum Beispiel  $V_{DDL}=0.5V$  bis  $0.8V$ ), bei der die aktive Verlustleistung aufgrund des geringeren Spannungshubs im Vergleich zu Schaltungen mit nominellen Spannungen abgesenkt wird. Derartige Schaltungen sind in der Regel aus  
20 Transistoren mit dem niedrigsten Wert der Schwellenspannung gebildet, welche in dem Prozess verfügbar ist.

Erfindungsgemäß ist die Implementierung eines Flip-Flops mit dauerhafter Speicherfähigkeit im Standby-Modus mit sehr  
25 geringem Aufwand ermöglicht. Dieser Aufwand besteht im Wesentlichen in dem Bereitstellen des zusätzlichen Leistungsschalter-Transistor.

Mit anderen Worten ist eine Schaltkreis-Anordnung für ein  
30 Flip-Flop geschaffen, das in einem energiesparenden Standby-Modus betrieben werden kann. Das Flip-Flop ist in statischer CMOS-Technik implementierbar und basiert vorzugsweise auf einer Sub-100-nm-CMOS-Technologie, bei der Transistoren mit unterschiedlichen Werten der Schwellenspannung und der Dicke  
35 der Gate-isolierenden Schicht bereitgestellt sind. Das Flip-Flop eignet sich besonders für verlustleistungsarme

Schaltungen mit niedrigen Versorgungsspannungen, zum Beispiel im Bereich  $V_{DDL}=0.5V-0.8V$ .

Daher ist die Implementierung eines Flip-Flop mit dauerhafter  
5 Speicherfähigkeit in einem Standby-Modus ermöglicht. Es werden anschaulich alle oder zumindest ein Teil der Komponenten des Flip-Flops, die für die Schaltgeschwindigkeit relevant sind, mittels eines Leistungsschalters (sogenannter Power-Switch) abgeschaltet und somit die Leckströme dieser  
10 Komponenten (z.B. Transistoren im Datenpfad) eliminiert. Lediglich eine vorzugsweise aus leckstromarmen Transistoren gebildete Speichereinheit bleibt im Standby-Modus mit einer Versorgungsspannung  $V_{DDL}$  und mit einem Massepotential  $V_{SS}$  gekoppelt.

15 Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Das Flip-Flop kann zwei aus den Speicher-Transistoren  
20 gebildete Inverter aufweisen. Die Inverter-Teilschaltkreise sind vorzugsweise miteinander rückgekoppelt verschaltet und aus zwei p-MOS und zwei n-MOS-Transistoren gebildet.

Für das Flip-Flop der Schaltkreis-Anordnung und mindestens  
25 ein zusätzliches Flip-Flop kann ein gemeinsamer Leistungsschalter-Transistor vorgesehen sein. Mit anderen Worten kann der erfindungsgemäße Leistungsschalter-Transistor für eine Mehrzahl von Flip-Flops gemeinsam ausgebildet sein, wodurch der Flächenbedarf der Schaltkreis-Anordnung  
30 verringert ist. Typischerweise wird für jeweils einige hundert Flip-Flops ein gemeinsamer Leistungsschalter-Transistor bereitgestellt.

Die Dicke der Gate-isolierenden Schicht der Speicher-  
35 Transistoren und/oder des Leistungsschalter-Transistors ist vorzugsweise größer als die Dicke der Gate-isolierenden Schicht der Schalt-Transistoren. Indem Speicher-Transistoren

und Leistungsschalter-Transistoren mit einer ausreichend hohen Schwellenspannung und einer ausreichend großen Dicke der Gate-isolierenden Schicht ausgebildet sind, und die Schalt-Transistoren mit einer geringen Schwellenspannung und einer

5 geringen Dicke der Gate-isolierenden Schicht ausgestaltet sind, ist die Funktionalität von Leistungsschalter- und Speicher-Transistoren als leckstromarme Transistoren bzw. die Funktionalität der Schalt-Transistoren als treiberstarke Komponenten verstärkt.

10

Die Kanalweite der Speicher-Transistoren und/oder des Leistungsschalter-Transistors ist vorzugsweise kleiner als die Kanalweite der Schalt-Transistoren.

15 Die Schalt-Transistoren können derart verschaltet sein, dass in einem Betriebszustand der Schaltkreis-Anordnung, in dem mindestens eine Versorgungsspannung der Schaltkreis-Anordnung abgeschaltet ist, ein Teil der Anschlüsse oder sogar alle Anschlüsse der Schalt-Transistoren ein definiertes

20 elektrisches Potential aufweisen. Mittels dieser Konfiguration ist vermieden, dass (z.B. in einem Standby-Modus) Anschlüsse der Schalt-Transistoren auf einem undefinierten "floatenden" elektrischen Potential befindlich sind. Dadurch ist ein sicheres Bewahren des Speicherinhalts

25 der Flip-Flops in einem Standby-Modus ermöglicht.

Die Schaltkreis-Anordnung kann mindestens einen zweiten Leistungsschalter-Transistor aufweisen, der mit zumindest einem Teil der Schalt-Transistoren derart gekoppelt ist, dass

30 in einem Betriebszustand der Schaltkreis-Anordnung, in dem die mindestens eine Versorgungsspannung der Schaltkreis-Anordnung abgeschaltet ist, die Gate-Anschlüsse der mit dem mindestens einem zweiten Leistungsschalter gekoppelten Schalt-Transistoren ein definiertes elektrisches Potential

35 aufweisen. Die Fehlerrobustheit der Schaltkreis-Anordnung bzw. die Haltezeit der in dem Flip-Flop in einem Standby-Modus gespeicherten Information kann mittels des mindestens

einen zweiten Leistungsschalter-Transistors erheblich verbessert werden.

Ferner kann mindestens ein dritter Leistungsschalter-  
5 Transistor vorgesehen sein, der mit mindestens einem Teil der  
Schalt-Transistoren derart gekoppelt ist, dass in einem  
Betriebszustand der Schaltkreis-Anordnung, in dem die  
mindestens eine Versorgungsspannung der Schaltkreis-Anordnung  
abgeschaltet ist, ein Source-/Drain-Anschluss der mit dem  
10 mindestens einen dritten Leistungsschalter-Transistor  
gekoppelten Schalt-Transistoren ein definiertes elektrisches  
Potential aufweisen. Der mindestens eine dritte  
Leistungsschalter-Transistor ist vorzugsweise ein p-MOS-  
Feldeffekttransistor. Mittels Einführens des mindestens einen  
15 dritten Leistungsschalter-Transistors ist den zugehörigen  
Knoten der Schaltkreis-Anordnung in dem Standby-Modus ein  
definiertes elektrisches Potential bereitgestellt, so dass  
die elektrische Stabilität der Schaltkreis-Anordnung erhöht  
ist.

20 Die Schaltkreis-Anordnung kann ferner einen Pulsgenerator-  
Schaltkreis zum Generieren eines Flip-Flop-Eingabesignals aus  
einem Eingabesignal und einem Taktsignal aufweisen, welcher  
Pulsgenerator-Schaltkreis mit dem Leistungsschalter-  
25 Transistor und mit den Schalt-Transistoren gekoppelt ist.  
Mittels des Pulsgenerator-Schaltkreises kann aus einem  
Taktsignal und einem Eingabesignal (Datensignal) ein Flip-  
Flop-Eingabesignal als Eingabesignal für das Flip-Flop  
generiert werden.

30 Der Pulsgenerator-Schaltkreis kann eine Mehrzahl von  
Pulsgenerator-Transistoren mit einem vierten Wert der  
Schwellenspannung aufweisen, wobei der erste und/oder der  
zweite Wert betragsmäßig größer ist bzw. sind als der vierte  
35 Wert.

Da die Pulsgenerator-Transistoren in dem kritischen Propagationspfad zwischen Eingangssignal und Flip-Flop angeordnet sind, ist es vorteilhaft, die darin enthaltenen Transistoren mit einer geringen Schwellenspannung vorzusehen.

- 5 Besonders vorteilhaft ist eine Ausgestaltung der Pulsgenerator-Transistoren und der Schalt-Transistoren mit einem geringen Wert der Schwellenspannung und einer geringen Dicke der Gate-isolierenden Schicht und eine Ausgestaltung des Leistungsschalter-Transistors und der Speicher-  
10 Transistoren als Transistoren mit hoher Schwellenspannung und großer Dicke der Gate-isolierenden Schicht.

- Es ist anzumerken, dass die Werte der Schwellenspannung der unterschiedlichen Speicher-Transistoren unterschiedlich groß  
15 sein können. Ferner können die Werte der Schwellenspannung der Schalt-Transistoren untereinander unterschiedlich groß sein. Analoge Aussagen gelten für die Dicke der Gate-isolierenden Schichten der Transistoren bzw. für deren Kanalweiten.

- 20 Der Pulsgenerator-Schaltkreis kann einen Logik-Teilschaltkreis zum Generieren mindestens eines Flip-Flop-Eingangssignals aus mindestens einem Eingangssignal gemäß einer vorgebbaren Logikoperation aufweisen. Anders ausgedrückt kann  
25 in dem Pulsgenerator-Schaltkreis mit der Funktionalität des Generierens eines Flip-Flop-Eingangssignals aus einem Eingangssignal und einem Taktsignal ein Logikbaustein (oder mehrere Logikbausteine) integriert werden, der gemäß einer vorgebbaren Booleschen Logikoperation das Eingangssignal  
30 logisch manipuliert oder mehrere Eingangssignale logisch miteinander verknüpft. Der Logik-Teilschaltkreis kann derart eingerichtet sein, dass die Logikoperation eine Inverter-Operation, eine UND-Operation, eine ODER-Operation, eine Nicht-UND-Operation, eine Nicht-ODER-Operation, eine  
35 Exklusiv-ODER-Operation oder eine Nicht-Exklusiv-ODER-Operation ist. Es kann eine beliebige Logik-Operation oder

deren Komplement in dem Logik-Teilschaltkreis implementiert sein.

Der Logik-Teilschaltkreis kann eine Mehrzahl von Logik-  
5 Transistoren mit einem fünften Wert der Schwellenspannung aufweisen, wobei der erste und/oder der zweite Wert vorzugsweise betragsmäßig größer ist/sind als der fünfte Wert. Da die Logik-Transistoren des Logik-Teilschaltkreises des Pulsgenerator-Schaltkreises in dem Signal-  
10 Propagationspfad zwischen Eingangssignal und Flip-Flop liegen, ist es vorteilhaft, diese Transistoren mit einem geringen Wert der Schwellenspannung bzw. einer geringen Dicke der Gate-isolierenden Schicht auszugestalten, um die Signale nicht übermäßig zu verzögern bzw. zu schwächen.

15

Die Schaltkreis-Anordnung kann ferner eine Steuer-Einheit zum Steuern von Versorgungsspannungen aufweisen, die an Anschlüsse zumindest eines Teil der Transistoren der Schaltkreis-Anordnung anlegbar sind. Die Steuer-Einheit ist  
20 derart eingerichtet, dass sie in einem Energiespar-Betriebsmodus alle Versorgungsspannungen mit Ausnahme von Versorgungsspannungen des Flip-Flops (d.h. der Speicher-Transistoren) abschalten kann. Die Steuer-Einheit kann somit zum Einleiten des Standby-Modus eingerichtet sein. Ein  
25 entsprechendes Steuersignal kann beispielsweise von extern mittels einer Eingabe durch einen Benutzer in einem Gerät erfolgen, welches eine erfindungsgemäße Schaltkreis-Anordnung enthält. Ein solches Gerät kann zum Beispiel ein Mobiltelefon oder ein PDA sein. Nach Empfang eines entsprechenden  
30 Steuersignals kann die Steuer-Einheit alle Versorgungsspannungen mit Ausnahme jener zur Versorgung des Flip-Flops abschalten. Dadurch ist ein wesentlicher Teil der Energieversorgung der Schaltkreis-Anordnung abgeschaltet und ein energiesparender Betrieb ermöglicht. Lediglich ein oberes  
35 und ein unteres elektrisches Referenzpotential des Flip-Flop-Schaltkreises sollte der Schaltkreis-Anordnung auch in dem Standby-Modus bereitgestellt werden, um ein sicheres Bewahren

der in dem Flip-Flop gespeicherten Information sicherzustellen.

Das mindestens eine Flip-Flop der Schaltkreis-Anordnung kann  
5 mit einem Test-Schaltkreis gekoppelt sein, der zum Testen der Funktionsfähigkeit des Flip-Flops eingerichtet ist. Mittels eines derartigen Test-Schaltkreises oder Scan-Schaltkreises kann die Funktionalität des Flip-Flops überprüft werden, indem in das Flip-Flop beispielsweise ein Signal  
10 eingeschrieben und nachfolgend ausgelesen wird. Dadurch ist überprüfbar, ob ein in einem Flip-Flop eingespeichertes Eingangssignal in diesem sicher gespeichert ist. Die Funktionalität eines solchen Test-Schaltkreises kann erfindungsgemäß in der Schaltkreis-Anordnung integriert sein.

15 Der Test-Schaltkreis der Schaltkreis-Anordnung kann eine Eingangskomponente aufweisen, die zum Programmieren eines Test-Eingangssignals in das Flip-Flop eingerichtet ist, und kann eine Ausgangskomponente aufweisen, die zum Auslesen  
20 eines Test-Ausgabesignals aus dem Flip-Flop eingerichtet ist.

Der Test-Schaltkreis kann eine Mehrzahl von Test-Transistoren mit einem sechsten Wert der Schwellenspannung aufweisen, wobei der sechste Wert betragsmäßig größer ist als der dritte  
25 Wert und/oder der vierte Wert und/oder der fünfte Wert. Da das Testen im Vergleich zu dem aktiven Betrieb der Schaltkreis-Anordnung eine zeitunkritische Funktionalität ist, sind die Test-Transistoren vorzugsweise gering dimensioniert und weisen eine hohe Schwellenspannung bzw.  
30 eine hohe Dicke der Gate-isolierenden Schicht auf.

Die Test-Transistoren können eine Gate-isolierende Schicht aufweisen, die eine größere Dicke aufweist als die Dicke der Gate-isolierenden Schicht der Schalt-Transistoren und/oder  
35 der Pulsgenerator-Transistoren und/oder der Logik-Transistoren. Somit weisen die Test-Transistoren vorzugsweise eine ausreichend dicke Gate-isolierende Schicht auf.

Erfindungsgemäß sind somit Transistoren mit unterschiedlichen Schwellenspannungen und Dicken der Gate-isolierenden Schicht miteinander kombiniert. Zeitkritische Funktionen wie das

5 Umladen von Lasten werden vorzugsweise unter Verwendung von Transistoren mit niedriger Schwellenspannung und dünner Gate-isolierender Schicht realisiert und im Standby-Modus abgeschaltet. Zeitunkritische Funktionen wie die Speicherfunktion des Flip-Flops erzeugen minimalen Leckstrom,

10 da sie aus Transistoren mit hoher Schwellenspannung und dickerer Gate-isolierender Schicht gebildet sind. Der Zusatzaufwand ist gering, da für die unterschiedlichen Transistortypen im Layout lediglich unterschiedliche Masken erforderlich sind.

15

In Hinblick auf die schaltungstechnische Realisierung sind zusätzliche Steuersignale entbehrlich, um das Flip-Flop nach Ende des Standby-Modus wieder in den aktiven Zustand zu versetzen (sogenanntes Write-Back-Signal, vgl. [3]). Dadurch

20 ist es erfindungsgemäß ermöglicht, sowohl einen vermehrten Flächenbedarf als auch die Erhöhung der Propagationszeit aufgrund zusätzlicher Schaltungskomponenten zu vermeiden.

Im Weiteren werden zusätzliche Ausgestaltungen der

25 erfindungsgemäßen Schaltkreis-Anordnung beschrieben, bei denen in einem Standby-Modus in dem Flip-Flop gespeicherte Speicher-Information vor einem Verlust aufgrund unerwünschten Abfließens elektrischer Ladungsträger durch die vorzugsweise mit geringer Schwellenspannung vorgesehenen Schalt-

30 Transistoren besonders sicher geschützt ist. Bei ungünstiger Dimensionierung und Prozessvariationen ist es nicht in jedem Fall ausgeschlossen, dass über im Standby-Modus geöffnete Schalt-Transistoren ein Abfließen von einer Speicher-Information enthaltenden elektrischen Ladungsträgern an

35 Knoten des Flip-Flops mit ausreichender Sicherheit vermieden ist. Mittels der im Weiteren beschriebenen Ausgestaltungen

der erfindungsgemäßen Schaltkreis-Anordnung ist eine zusätzliche Verbesserung der Ausgangsstufe der Schaltkreis-Anordnung erreicht.

- 5 Die Schaltkreis-Anordnung kann gemäß dieser Ausgestaltung einen oder eine Mehrzahl von Schutz-Transistoren mit einer Schwellenspannung eines siebten Werts zwischen dem Flip-Flop und den Schalt-Transistoren aufweisen, die zum selektiven Koppeln oder Entkoppeln von Flip-Flop und Schalt-Transistoren  
10 verschaltet bzw. eingerichtet sind, wobei der siebte Wert betragsmäßig größer ist als der dritte Wert.

Die Schutz-Transistoren können eine Gate-isolierende Schicht aufweisen, die eine größere Dicke aufweist als die Dicke der  
15 Gate-isolierenden Schicht der Schalt-Transistoren und/oder der Pulsgenerator-Transistoren und/oder der Logik-Transistoren. Somit weisen die Schutz-Transistoren vorzugsweise eine ausreichend dicke Gate-isolierende Schicht auf.

- 20 Insbesondere kann die Schaltkreis-Anordnung derart eingerichtet sein, dass in einem ersten Betriebszustand der Schaltkreis-Anordnung, in dem mindestens eine Versorgungsspannung der Schaltkreis-Anordnung abgeschaltet  
25 ist, mittels Vorgebens elektrischer Steuersignale an die Schutz-Transistoren diese Flip-Flop und Schalt-Transistoren voneinander elektrisch entkoppeln. In einem zweiten Betriebszustand der Schaltkreis-Anordnung, in dem die Schaltkreis-Anordnung mit einer Versorgungsspannung versorgt  
30 wird, werden mittels Vorgebens elektrischer Steuersignale an die Schutz-Transistoren mittels der Schutz-Transistoren Flip-Flop und Schalt-Transistoren miteinander elektrisch gekoppelt.

Gemäß einer bevorzugten Ausgestaltung können die Schutz-Transistoren mindestens ein Transistorpaar aus zueinander parallel geschalteten Transistoren unterschiedlicher  
5 Leitungstypen aufweisen, welches mindestens eine Transistorpaar mit seinem Source-/Drain-Anschlüssen zwischen Flip-Flop und Schalt-Transistoren geschaltet ist.

Mittels dieser Ausgestaltungen ist die Robustheit der  
10 erfindungsgemäßen Schaltkreis-Anordnung erhöht und die statische Verlustleistung von Leseverstärker-basierten Flip-Flops mit Speicherfunktionalität im Standby-Modus reduziert. Somit ist ausreichend sicher vermieden, dass der interne Speicherinhalt einer im Standby-Modus aktiven  
15 Speicherschaltung mittels floatender elektrischer Potentiale und Prozessvariationen in unerwünschter Weise überschrieben wird. Anschaulich ist eine zusätzlich verbesserte Ausgangsstufe der Schaltkreis-Anordnung geschaffen.

20 Die beschriebenen Ausgestaltungen basieren auf einer selektiven, d.h. mittels entsprechender Steuersignale wahlweise vorgebbaren Entkopplung der internen Speicherschaltung des Flip-Flops von dem auf eine hohe Signaltransfargeschwindigkeit optimierten Schalt-Transistoren  
25 (SET/RESET-Ansteuerung der Ausgangsstufe) mittels der erfindungsgemäß verschalteten Schutz-Transistoren, die beispielsweise mittels zweier Transmissions-Gates gebildet sein können.

30 Diese Ausgestaltung ist kompatibel mit der erfindungsgemäß verbesserten Scanpfad-Realisierung sowie der in der Schaltkreis-Anordnung vorzugsweise enthaltenen integrierten Logikstufe.

Anschaulich sind die Schutz-Transistoren als Transistoren mit einem höheren Wert der Schwellenspannung als die Schalt-Transistoren vorgesehen, wobei an die Schutz-Transistoren in einem Standby-Modus ein solches Spannungssignal angelegt werden kann, dass die Schutz-Transistoren ein unerwünschtes Abfließen von einer Speicherinformation kodierenden elektrischen Ladungsträgern von dem Flip-Flop in die Schalt-Transistoren unterbinden. Diese gute Sperrwirkung der Schutz-Transistoren in ihrem Off-Zustand beruht auf ihrem hohen Wert der Schwellenspannung. In dem Normalbetrieb der Schaltkreis-Anordnung können die Schutz-Transistoren mit einer solchen Steuerspannung versorgt werden, dass sie ausreichend niederohmig sind, um einen Signaltransfer zwischen Flip-Flop und Schalt-Transistoren ausreichend niederohmig, schnell und ohne starke Erhöhung der Last zu realisieren.

Besonders vorteilhaft ist eine Parallelschaltung aus zwei zueinander komplementären Transistoren (n-MOS, p-MOS). Anstelle eines solchen Transmissions-Gates kann zur Entkopplung bzw. Kopplung zwischen den rückgekoppelten Invertern des Flip-Flops auch beispielsweise ein einzelner n-MOS- oder p-MOS-Transistor verwendet werden. Die Verwendung eines Transmissions-Gates hat jedoch den Vorteil, dass anders als bei Verwendung einzelner n-MOS- oder p-MOS-Transistoren im aktiven Betrieb annähernd das volle elektrische Potential ( $V_{DD}$  bei n-MOS,  $V_{SS}$  bei p-MOS) an die rückgekoppelten Inverter weitergegeben werden kann. Bei Verwendung eines Transmissions-Gates anstelle eines einzelnen n-MOS- oder p-MOS-Transistors ist das aus Simulationen erhaltene Ergebnis vermieden, dass eine erhebliche Erhöhung der CLK-Q (Clock, Speicherknoten) Verzögerungszeit um bis zu 50% stattfindet, da die vollständigen Logikpegel erst durch die Regeneration in den langsameren rückgekoppelten Invertern erreicht werden.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im weiteren näher erläutert:

Es zeigen:

5

Figur 1 eine Schaltkreis-Anordnung gemäß dem Stand der Technik,

10

Figur 2 ein Diagramm, in dem unterschiedliche Transistortypen gezeigt sind,

Figur 3 eine Schaltkreis-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung,

15

Figur 4 eine Schaltkreis-Anordnung gemäß einem zweiten Ausführungsbeispiel der Erfindung,

20

Figur 5 eine Schaltkreis-Anordnung gemäß einem dritten Ausführungsbeispiel der Erfindung,

Figur 6 eine Schaltkreis-Anordnung gemäß einem vierten Ausführungsbeispiel der Erfindung,

25

Figur 7 eine Schaltkreis-Anordnung gemäß einem fünften Ausführungsbeispiel der Erfindung,

Figur 8 eine Schaltkreis-Anordnung gemäß einem sechsten Ausführungsbeispiel der Erfindung,

30

Figur 9 eine Schaltkreis-Anordnung gemäß einem siebten Ausführungsbeispiel der Erfindung,

Figur 10 eine andere Darstellung der Schaltkreis-Anordnung gemäß dem siebten Ausführungsbeispiel der Erfindung,

35

Figur 11 Zeitdiagramme zur Veranschaulichung des Betriebs der Schaltkreis-Anordnung gemäß dem siebten Ausführungsbeispiel der Erfindung.

- 5 Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

Die Darstellungen in den Figuren sind schematisch und nicht maßstäblich.

10

Im Weiteren wird beziehend auf **Fig.2** eine Symbolschreibweise für unterschiedliche, in der Figur verwendete Feldeffekttransistoren vereinbart.

- 15 Ein Niedrigschwelligkeitsspannungs-n-MOS-Feldeffekttransistor 200 weist einen Wert der Schwellenspannung auf, welcher geringer ist als der Wert der Schwellenspannung eines Hochschwelligkeitsspannungs-n-MOS-Feldeffekttransistors 201. Darüber hinaus hat der Hochschwelligkeitsspannungs-n-MOS-
- 20 Feldeffekttransistors 201 eine Gate-isolierende Schicht einer hohen Dicke. Ferner weist ein Niedrigschwelligkeitsspannungs-p-MOS-Feldeffekttransistor 202 einen Wert der Schwellenspannung auf, welcher geringer ist als der Wert der Schwellenspannung eines Hochschwelligkeitsspannungs-p-MOS-Feldeffekttransistors 203.
- 25 Darüber hinaus hat der Hochschwelligkeitsspannungs-p-MOS-Feldeffekttransistors 203 eine Gate-isolierende Schicht einer hohen Dicke. Es ist anzumerken, dass in einer Schaltkreis-Anordnung 300 bis 800, in der eine Mehrzahl von Transistortypen 200 bis 203 integriert ist, nicht alle
- 30 Transistoren eines jeweiligen Typs 200 bis 203 einen identischen Schwellenspannungswert aufweisen müssen.

- Im Weiteren wird beziehend auf **Fig.3** eine Schaltkreis-Anordnung 300 gemäß einem ersten Ausführungsbeispiel der
- 35 Erfindung beschrieben.

Die Schaltkreis-Anordnung 300 weist einen Flip-Flop-Teilschaltkreis 301, einen Pulsgenerator-Teilschaltkreis 302, einen Leistungsschalter-Teilschaltkreis 303 und einen Einkoppel-Teilschaltkreis 304 auf.

5

Der Pulsgenerator-Teilschaltkreis 302 enthält einen Takteingang 305, an dem ein Taktsignal CLK anlegbar ist. Der Takteingang 305 ist mit einem Gate-Anschluss eines ersten n-MOS-Pulsgenerator-Transistors 306 sowie eines ersten und  
10 eines zweiten p-MOS-Pulsgenerator-Transistors 307, 308 gekoppelt. Ferner ist ein erster Source-/Drain-Anschluss des ersten p-MOS-Pulsgenerator-Transistors 307 mit einem ersten Source-/Drain-Anschluss eines dritten p-MOS-Pulsgenerator-Transistors 309 gekoppelt. Ein erster Source-/Drain-Anschluss  
15 des zweiten p-MOS-Pulsgenerator-Transistors 308 ist mit einem ersten Source-/Drain-Anschluss eines vierten p-MOS-Pulsgenerator-Transistors 310 gekoppelt. Ferner sind die jeweils zweiten Source-/Drain-Anschlüsse der Transistoren 307 bis 310 aus dem elektrischen Potential einer  
20 Versorgungsspannung 311 VDDL. Ein erster Source-/Drain-Anschluss des ersten n-MOS-Pulsgenerator-Transistors 306 ist mit jeweils ersten Source-/Drain-Anschlüssen eines zweiten und eines dritten n-MOS-Pulsgenerator-Transistors 312, 313 gekoppelt. An dem Gate-Anschluss des zweiten n-MOS-  
25 Pulsgenerator-Transistors 312 ist ein Datensignal D anlegbar, an den Gate-Anschluss des dritten n-MOS-Pulsgenerator-Transistors 313 ist ein zu dem Datensignal D komplementäres Datensignal /D anlegbar. Die zweiten Source-/Drain-Anschlüsse der Transistoren 312, 313 sind mit jeweils einem Source-/  
30 Drain-Anschluss eines vierten n-MOS-Pulsgenerator-Transistors 314 gekoppelt, an dessen Gate-Anschluss die Versorgungsspannung 311 VDDL anlegbar ist. Der zweite Source-/Drain-Anschluss des zweiten n-MOS-Pulsgenerator-Transistors 312 ist mit einem ersten Source-/Drain-Anschluss  
35 eines fünften n-MOS-Pulsgenerator-Transistors 315 gekoppelt. Der zweite Source-/Drain-Anschluss des vierten n-MOS-Pulsgenerator-Transistors 313 ist mit einem ersten Source-/

Drain-Anschluss eines fünften n-MOS-Pulsgenerator-Transistors 316 gekoppelt. Der Gate-Anschluss von Transistor 315 ist mit dem Gate-Anschluss von Transistor 309 gekoppelt, der Gate-Anschluss von Transistor 316 ist mit dem Gate-Anschluss von Transistor 310 gekoppelt. Der zweite Source-/Drain-Anschluss von Transistor 315 ist mit dem Gate-Anschluss von Transistor 310 gekoppelt, und der zweite Source-/Drain-Anschluss von Transistor 316 ist mit dem ersten Source-/Drain-Anschluss von Transistor 310 sowie mit dem Gate-Anschluss von Transistor 309 gekoppelt.

Die Transistoren des Pulsgenerator-Teilschaltkreises 302 weisen einen geringen Wert der Schwellenspannung auf.

Der zweite Source-/Drain-Anschluss von Transistor 306 ist mit einem ersten Source-/Drain-Anschluss eines ersten Leistungsschalter-n-MOS-Feldeffekttransistors 317 gekoppelt. Dem zweiten Source-/Drain-Anschluss des ersten Leistungsschalter-Transistors 317 ist das elektrische Massepotential 318 VSS bereitstellbar. An den Gate-Anschluss von Transistor 317 ist ein Standby-Steuersignal /STB anlegbar.

Transistor 317 des Leistungsschalter-Teilschaltkreises 303 weist einen hohen Wert der Schwellenspannung auf.

An dem Gate-Anschluss des vierten p-MOS-Pulsgenerator-Transistors 310 kann ein erstes Flip-Flop-Eingabesignal /S generiert werden. Ferner kann an dem Gate-Anschluss des dritten p-MOS-Pulsgenerator-Transistors 309 ein zweites Flip-Flop-Eingabesignal /R generiert werden.

Der Gate-Anschluss des vierten p-MOS-Pulsgenerators 310 ist mit einem Gate-Anschluss eines ersten p-MOS-Schalt-Transistors 319 gekoppelt. Der Gate-Anschluss des dritten p-MOS-Pulsgenerator-Transistors 309 ist mit dem Gate-Anschluss eines zweiten p-MOS-Schalt-Transistor 320 gekoppelt.

Der erste Source-/Drain-Anschluss des ersten p-MOS-Schalt-Transistors 319 ist mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Schalt-Transistors 321 gekoppelt. Ferner  
5 ist ein erster Source-/Drain-Anschluss des zweiten p-MOS-Schalt-Transistors 320 mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Schalt-Transistor 322 gekoppelt. Der Gate-Anschluss des ersten n-MOS-Schalt-Transistors 321 ist mit jeweils ersten Source-/Drain-  
10 Anschlüssen eines dritten p-MOS-Schalt-Transistors 323 und eines dritten n-MOS-Schalt-Transistors 324 gekoppelt. Der Gate-Anschluss des zweiten n-MOS-Schalt-Transistors 322 ist mit jeweils ersten Source-/Drain-Anschlüssen eines vierten p-MOS-Schalt-Transistors 325 und eines vierten n-MOS-Schalt-  
15 Transistors 326 gekoppelt. Die jeweils zweiten Source-/Drain-Anschlüsse der Transistoren 323, 319, 320 und 325 können auf das elektrische Potential der Versorgungsspannung 311 VDDL gebracht werden. Ferner ist der zweite Source-/Drain-Anschluss des dritten n-MOS-Schalt-Transistors 324 mit dem  
20 zweiten Source-/Drain-Anschluss des ersten n-MOS-Schalt-Transistors 321 und mit dem zweiten Source-/Drain-Anschluss des ersten n-MOS-Pulsgenerator-Transistors 306 gekoppelt. Der zweite Source-/Drain-Anschluss des zweiten n-MOS-Schalt-Transistors 322 ist mit dem ersten Source-/Drain-Anschluss  
25 des vierten n-MOS-Schalt-Transistors 326 und mit dem zweiten Source-/Drain-Anschluss des ersten n-MOS-Pulsgenerator-Transistors 306 gekoppelt. Die Gate-Anschlüsse der Transistoren 323, 324 sind miteinander und mit dem ersten Source-/Drain-Anschluss des vierten p-MOS-Pulsgenerator-  
30 Transistors 310 gekoppelt. Ferner sind die Gate-Anschlüsse der Transistoren 325, 326 miteinander und mit dem ersten Source-/Drain-Anschluss des dritten p-MOS-Pulsgenerator-Transistors 309 gekoppelt.

35 Es ist anzumerken, dass Transistoren 319 bis 326 als Niedrigschwellsenpannungs-Transistoren ausgebildet sind.

Im Unterschied dazu sind die Transistoren des Flip-Flop-Teilschaltkreises 301 als Hochschwellenspannungs-Transistoren ausgebildet.

- 5 Der Flip-Flop-Teilschaltkreis 301 enthält einen ersten p-MOS-Speicher-Transistor 327, einen ersten n-MOS-Speicher-Transistor 328, einen zweiten p-MOS-Speicher-Transistor 329 und einen zweiten n-MOS-Speicher-Transistor 330. Erste Source-/Drain-Anschlüsse der Transistoren 327, 328 sind  
10 miteinander und mit den Gate-Anschlüssen der Transistoren 329, 330 gekoppelt. Erste Source-/Drain-Anschlüsse der Transistoren 329, 330 sind miteinander und mit den Gate-Anschlüssen der Transistoren 327, 328 gekoppelt. Zweite Source-/Drain-Anschlüsse der Transistoren 327, 329 können auf  
15 das elektrische Potential der Versorgungsspannung 311 VDDL gebracht sein, wohingegen die zweiten Source-/Drain-Anschlüsse der Transistoren 328, 330 auf das elektrische Massepotential 318 gebracht werden können. Die ersten Source-/Drain-Anschlüsse der Transistoren 327, 328 sind mit  
20 den ersten Source-/Drain-Anschlüssen der Transistoren 319, 321 gekoppelt. Die ersten Source-/Drain-Anschlüsse der Transistoren 329, 330 sind mit den ersten Source-/Drain-Anschlüssen der Transistoren 322, 320 gekoppelt. An den Gate-Anschlüssen der Transistoren 329, 330 ist ein erstes Flip-  
25 Flop-Ausgabesignal Q generierbar, wohingegen an den Gate-Anschlüssen der Transistoren 327, 328 ein zweites Flip-Flop-Ausgabesignal /Q generierbar ist, welches zu dem ersten Flip-Flop-Ausgabesignal Q komplementär ist.
- 30 Ferner ist anzumerken, dass an dem Gate-Anschluss von Transistor 321 ein Signal R generierbar ist, welches zu dem zweiten Flip-Flop-Eingabesignal /R komplementär ist. Ferner ist an dem Gate-Anschluss von Transistor 322 ein Signal S generierbar, welches zu dem zweiten Flip-Flop-Eingabesignal  
35 /S komplementär ist.

Im Weiteren wird die Funktionalität der Schaltkreis-Anordnung 300 beschrieben.

Mit der Schaltkreis-Anordnung 200 ist eine verbesserte  
5 Funktionalität eines Flip-Flops mit Standby-Betriebszustand  
realisiert. Unter Verwendung eines einzigen zusätzlichen  
Transistors 317 im Vergleich zu einer Variante ohne  
Speicherfunktion ist eine dauerhafte Speicherung von  
Speicherinformation des Flip-Flops im Stand-By-Modus  
10 ermöglicht. Wenngleich in Fig.3 lediglich ein einziger Flip-  
Flop-Teilschaltkreis 301 gezeigt ist, kann der  
Leistungsschalter-Teilschaltkreis 301 von mehreren Flip-Flop-  
Teilschaltkreisen 301 und/oder von mehreren Pulsgenerator-  
Teilschaltkreisen 302 geteilt werden.

15 Die schaltungstechnische Funktion der Schaltkreis-Anordnung  
300 ist die eines flankengesteuerten, differentiellen Flip-  
Flops aus einem Pulsgenerator-Teilschaltkreis 302 und einem  
Set-Reset-Flip-Flop-Teilschaltkreis 301. Die Ausgangssignale  
20 des Pulsgenerator-Teilschaltkreises 302, /S und /R, werden  
während einer Vorladephase ("precharging") mit einem  
Taktsignal des Wertes CLK="0" über die p-MOS-Transistoren  
307, 308 auf das Potential der Versorgungsspannung 311 VDDL  
vorgeladen. Bei angelegten Datensignalen D und /D leitet  
25 entweder der Kanal des Transistors 312 oder jener des  
Transistors 313, so dass direkt nach der ansteigenden  
Taktflanke entweder /S oder /R auf das elektrische Potential  
VSSV gebracht wird, welches anschaulich an dem ersten  
Source-/Drain-Anschluss des ersten Leistungsschalter-  
30 Transistors 317 anliegt. Der vierte n-MOS-Pulsgenerator-  
Transistor 314 ist gering dimensioniert und erzeugt nach der  
ansteigenden Taktflanke eine Kopplung von zwei Source-/  
Drain-Anschlüssen der Transistoren 315, 316 miteinander zu  
VSSV. Auf diese Weise kann der Zustand des Pulsgenerator-  
35 Teilschaltkreises 302 nach der ansteigenden Taktflanke nicht  
mehr verändert werden.

Das Set-Reset-Flip-Flop ist gemäß dem beschriebenen Ausführungsbeispiel nicht aus zwei rückgekoppelten NAND-Gattern mit zwei Eingängen gebildet, sondern aus den beiden rückgekoppelten Invertern (aus Transistoren 327 bis 330) des Flip-Flop-Teilschaltkreises 301 und aus den Schalt-Transistoren 323 bis 326. Somit ist zwischen VDDL bzw. VSSV jeweils nur ein n-MOS- oder p-MOS-Transistor angeordnet, so dass die Geschwindigkeit, mit der die Lastkapazitäten der Transistoren umgeladen werden, erhöht ist. Zur dauerhaften Speicherung der Zustände Q und /Q sind die Transistoren 327 bis 330 des Speicher-Flip-Flop-Teilschaltkreises 301 minimal dimensioniert, weisen eine hohe Schwellenspannung und eine große Dicke der Gate-isolierenden Schicht auf. Die Versorgung des Flip-Flop-Teilschaltkreises 301 mit der Versorgungsspannung VDDL 311 und mit dem realen Massepotential 318 VSS wird in dem Speicher-Flip-Flop-Teilschaltkreis 301 auch in dem Standby-Modus nicht unterbrochen. Die beiden rückgekoppelten Inverter weisen die in einem jeweiligen Herstellungsprozess geringst möglichen Leckströme auf und sind daher besonders gut dafür geeignet, die Zustände Q und /Q im Standby-Modus zu speichern. Alle anderen Teilschaltungen der Schaltkreis-Anordnung 300 werden im Standby-Modus, bei dem an dem Gate-Anschluss des Transistors 317 das Signal /STB="0" anliegt, abgeschaltet.

Im Standby-Modus wird der Pulsgenerator-Teilschaltkreis 302 abgeschaltet, welcher auf der ansteigenden Taktflanke CLK einen negativen Spannungspuls auf dem /S- oder /R-Eingang generiert. Ferner werden die aus den Transistoren 323, 324 bzw. 325, 326 gebildeten Inverter abgeschaltet, welche aus einem 1-0-Puls auf /S oder /R einen 0-1-Puls auf S und R generieren. Darüber hinaus werden die Schalt-Transistoren 319 bis 322 des Einkoppel-Teilschaltkreises 304 im Standby-Modus abgeschaltet. Diese Transistoren laden im aktiven Betrieb auf der ansteigenden Taktflanke die Lasten an den Ausgängen Q und /Q um und weisen eine niedrige Schwellenspannung und eine

dünne Gate-isolierende Schicht auf. Im Standby-Modus wird der Takt auf CLK="0" gesetzt.

Im Vergleich zu einer Schaltkreis-Anordnung ohne

- 5 Leistungsschalter-Teilschaltkreis 303 verringert sich bei der Schaltkreis-Anordnung 300 der Leckstrom im Standby-Modus je nach dem Unterschied der Off-Ströme der Transistoren mit niedriger und hoher Schwellenspannung um typischerweise zwei bis vier Dekaden. Wesentlich ist, dass das Speicher-Flip-Flop
- 10 nicht im kritischen Propagationspfad der Schaltung liegt. Genau diese Eigenschaft wird erfindungsgemäß ausgenutzt, um das Speicher-Flip-Flop aus den minimal dimensionierten Transistoren 327 bis 330 mit hoher Schwellenspannung und dicker Gate-isolierender Schicht auszubilden. Dadurch ist die
- 15 Propagationszeit gegenüber dem Fall herabgesetzt, dass das Speicher-Flip-Flop im kritischen Pfad angeordnet ist. Da die Ausgänge Q und /Q vor einem Umladen durch das Speicher-Flip-Flop frei sind, sondern mittels der Schalt-Transistoren 319 bis 322 umgeladen werden, ergeben sich sehr kurze
- 20 Propagationszeiten. Beispielsweise ist für eine 100nm CMOS-Technologie eine Propagationszeit  $t_{CLKQ}=50ps$  bei  $VDDL=1V$  zu erwarten bzw.  $t_{CLKQ}=150ps$  bei  $VDDL=0.6V$ . Bei Weglassen des ersten Leistungsschalter-Transistors 317 ließe sich eine Propagationszeit bei  $VDDL=1V$  von  $t_{CLKQ}=40ps$  erzielen. Mit
- 25 anderen Worten ist trotz des Verwendens des ersten Leistungsschalter-Transistors 317 die Propagationszeit nur sehr geringfügig erhöht. Die Erhöhung der Propagationszeit von  $t_{CLKQ}=40ps$  auf  $t_{CLKQ}=50ps$  hängt von der Dimensionierung des ersten Leistungsschalter-Transistors 317 ab und ist somit
- 30 einstellbar. Bei einer Anwendung in einer hohen Anforderung an eine Leckstromreduktion kann daher ein Leistungsschalter-Transistor 317 mit einer verringerten Gate-Weite verwendet werden. Ist hingegen die Propagationszeit von größerer
- 35 Bedeutung, so sind vorzugsweise Leistungsschalter-Transistoren mit einer großen Gate-Weite einzusetzen.

Aufgrund der Verwendung von differentieller Schaltungstechnik im Pulsgenerator-Teilschaltkreis 302 und aufgrund der Tatsache, dass in der lastsensitiven Ausgangsstufe keine Anordnung mehrerer in Serie geschalteter Transistoren eingesetzt werden, ist die Schaltkreis-Anordnung skalierbar bezüglich der Wahl der Versorgungsspannung VDDL. Die Taktlast wird maßgeblich durch die Weite des ersten Leistungsschalter-Transistors 317 bestimmt.

10 Im Weiteren werden Schaltkreis-Anordnung 400 bis 800 gemäß zweiten bis sechsten Ausführungsbeispielen der Erfindung beschrieben. Diese stellen gegenüber der Grundschaltung von Fig.3 Weiterbildungen dar. Mittels der Varianten von Fig.4 bis Fig.8, welche beliebig miteinander kombiniert werden  
15 können, ist es ermöglicht, für eine gegebene Multi- $V_T$ /Multi-Gateoxid-Technologie eine für den jeweiligen Anwendungsfall günstige Realisierung zu ermöglichen. Insbesondere sind bei einer derartigen Auswahl die Größenordnungen der Unterschwellenströme und Gate-Tunnelströme der  
20 unterschiedlichen Transistortypen zu beachten, da diese im Standby-Modus die Zeitkonstante bestimmen, mit der das virtuelle Massenpotential VSSV auf den Maximalwert VDDL- $V_{T0N}$  aufgeladen wird, wobei  $V_{T0N}$  der Schwellenspannungswert ist. Dieser Vorgang bewirkt, dass die Knoten S und R bei  
25 geöffneten Transistoren 324, 326 ein ansteigendes elektrisches Potential erfahren, so dass die Schalt-Transistoren 321, 322 einschalten können. Da die Schalt-Transistoren erheblich größer dimensioniert sind als die Speicher-Transistoren 327 bis 330, kann dies im Extremfall  
30 dazu führen, dass die eingespeicherten Zustände Q und  $\bar{Q}$  beeinflusst werden, das heißt, dass der Speicherinhalt beeinflusst wird. Die Schaltkreis-Anordnungen, welche im weiteren bezugnehmend auf Fig.4 bis Fig.6 beschreiben werden, enthalten schaltungstechnische Gegenmaßnahmen zum  
35 störungsfreien Aufrechterhalten des Speicherinhalts in dem Flip-Flop.

Im Weiteren wird beziehend auf **Fig.4** eine Schaltkreis-Anordnung 400 gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

5     Zusätzlich zu den in Fig.3 gezeigten Komponenten weist die Schaltkreis-Anordnung 400 einen Referenzpotential-Schaltkreis 401 auf, der den Gate-Anschlüssen der Transistoren 321 bzw. 322 definierte elektrische Potentiale bereitstellt. Der Referenzpotential-Schaltkreis 401 enthält einen ersten n-MOS-  
10   Referenzpotential-Transistor 402 und einen zweiten n-MOS-Referenzpotential-Transistor 403. An die Gate-Anschlüsse der Transistoren 402, 403 ist das zu dem Standby-Signal /STB inverse Signal STB anlegbar. Erste Source-/Drain-Anschlüsse der n-MOS-Referenzpotential-Transistoren 402, 403 können auf  
15   das elektrische Massepotential VSS 318 gebracht werden. Ein zweiter Source-/Drain-Anschluss des ersten n-MOS-Referenzpotential-Transistors 402 ist mit dem Gate-Anschluss des ersten n-MOS-Schalt-Transistors 321 gekoppelt. Ein zweiter Source-/Drain-Anschluss des zweiten n-MOS-  
20   Referenzpotential-Transistors 403 ist mit einem Gate-Anschluss des zweiten n-MOS-Schalt-Transistors 322 gekoppelt.

Die Funktionalität des Referenzpotential-Schaltkreises 401 ist darin zu sehen, dass die Knoten S und R mittels der  
25   Transistoren 402 bzw. 403 auf das elektrische Massepotential VSS 318 gebracht werden können. In diesem Fall weisen alle Eingänge der Schalt-Transistoren 319 bis 322 ein definiertes elektrisches Potential auf. Ein Verlust des Speicherinhalts des Flip-Flops kann somit sicher vermieden werden, da alle  
30   Schalt-Transistoren im Standby-Modus geschlossen sind. Die Schalt-Transistoren 321, 322 sind somit aufgrund der Funktionalität des Referenzpotential-Schaltkreises 401 auch dann vollständig gesperrt, wenn die virtuelle Masse VSSV aufgrund von Leckströmen auf den Spannungspegel VDDL  
35   abzüglich der Schwellenspannung VT0N aufgeladen wird.

Die Referenzpotential-Transistoren 402, 403, die auch als zusätzliche Leistungsschalter-Transistoren bezeichnet werden können, weisen eine hohe Schwellenspannung und eine hohe Dicke der Gate-isolierenden Schicht auf.

5

Im Weiteren wird bezugnehmend auf **Fig.5** eine Schaltkreis-Anordnung 500 gemäß einem dritten Ausführungsbeispiel der Erfindung beschrieben.

10 Die Schaltkreis-Anordnung 500 unterscheidet sich von der Schaltkreis-Anordnung 300 im Wesentlichen dadurch, dass als zusätzliche Komponente ein Referenzpotential-Schaltkreis 501 bereitgestellt ist. Der Referenzpotential-Schaltkreis 501 enthält einen zweiten n-MOS-Leistungsschalter-Transistor 502,  
15 welcher im Wesentlichen so wie der erste Leistungsschalter-Transistor 317 ausgestaltet ist. An dem Gate-Anschluss des zweiten Leistungsschalter-Transistors 502 ist das Standby-Signal /STB anlegbar. Ein erster Source-/Drain-Anschluss des zweiten Leistungsschalter-Transistors 502 mit den zweiten  
20 Source-/Drain-Anschlüssen der Transistoren 324, 326, 321, 322 gekoppelt. Ein zweiter Source-/Drain-Anschluss des zweiten Leistungsschalter-Transistors 502 ist auf dem elektrischen Massepotential VSS.

25 Ein weiterer wichtiger Unterschied der Schaltkreis-Anordnung 500 gegenüber der Schaltkreis-Anordnung 300 liegt darin, dass diejenige mit Transistor 317 gekoppelte Leitung, auf der gemäß Fig.3 das virtuelle Massepotential VSSV bereitgestellt ist, gemäß Fig.5 von einer Kopplung mit Transistoren 324,  
30 326, 321, 322 frei ist. Mit anderen Worten sind diejenigen Leitungen, auf denen die virtuellen Massenpotentiale des ersten Leistungsschalter-Transistors 317 und des Pulsgenerator-Schaltkreises 302 einerseits sowie des Einkoppel-Teilschaltkreises 304 andererseits bereitgestellt  
35 sind, nunmehr getrennt. In Fig.5 ist das virtuelle Massepotential des ersten Leistungsschalter-Transistors 317 und des Pulsgenerator-Schaltkreises 302 mit VSSV1 bezeichnet.

Dagegen ist das virtuelle Massepotential des Einkoppel-  
Teilschaltkreises 304 in Fig.5 mit VSSV2 bezeichnet. Mittels  
Trennens der virtuellen Massen in VSSV1 und VSSV2 kann der  
Spannungsanstieg auf VSSV2 verlangsamt werden. Der

5 Leckstrompfad, welcher die virtuelle Masse VSSV2 auf VDDL  
minus die Schwellenspannung  $V_{T0N}$  aufladen kann, wird gemäß  
Fig.5 nur von den p-MOS-Transistoren 319, 320, 323, 325  
gebildet. Den gemäß Fig.5 unteren Source-/Drain-Anschlüssen  
der Transistoren 324, 321, 322, 326 wird ein definiertes  
10 elektrisches Potential unter Verwendung des zweiten  
Leistungsschalter-Transistors 502 bereitgestellt, welcher als  
Transistor mit einem hohen Wert der Schwellenspannung und  
einer großen Dicke der Gate-isolierenden Schicht realisiert  
ist. Das Ausführungsbeispiel von Fig.5 bietet Vorteile  
15 insbesondere bei kleinen Transistoren mit sehr geringen  
Leckströmen und bei einer Anwendung mit einer eher kurzen  
Standby-Zeit. Mittels Auftrennens der virtuellen Massen des  
Pulsgenerator-Schaltkreises 302 und des Set-Reset Flip-Flops  
301, 304 wird das Aufladen der virtuellen Masse VSSV2 auf  
20 VDDL minus  $V_{T0N}$  im Standby-Modus aufgrund von Leckströmen  
erschwert.

Es ist anzumerken, dass die virtuelle Massenleitung VSSV1 mit  
Gattern im Logikpfad geteilt werden kann. Es kann eine  
25 Mehrzahl von Pulsgenerator-Schaltkreisen mit derselben  
virtuellen Massenleitung betrieben werden.

Im Weiteren wird bezugnehmend auf **Fig.6** eine Schaltkreis-  
Anordnung 600 gemäß einem vierten Ausführungsbeispiel der  
30 Erfindung beschrieben.

Die Schaltkreis-Anordnung 600 unterscheidet sich von der in  
Fig.5 gezeigten Schaltkreis-Anordnung 500 im Wesentlichen  
dadurch, dass anstelle des Referenzpotential-Schaltkreis 501  
35 mit dem zweiten n-MOS-Leistungsschalter-Transistor 502 ein  
Referenzpotential-Schaltkreis 601 mit einem dritten p-MOS-  
Leistungsschalter-Transistor 602 bereitgestellt ist. Der

dritte Leistungsschalter-Transistor 602 ist ein Transistor mit einer hohen Schwellenspannung, an dessen Gate-Anschluss ein Signal STB anlegbar ist, das zu dem an dem Gate-Anschluss des ersten Leistungsschalter-Transistors 317 anlegbaren  
5 Standby-Signals /STB komplementär ist. Ein erster Source-/ Drain-Anschluss des dritten Leistungsschalter-Transistors 602 kann auf das Potential der ersten elektrischen Versorgungsspannung VDDL 311 gebracht werden, wohingegen der zweite Source-/Drain-Anschluss des dritten p-MOS-  
10 Leistungsschalter-Transistors 602 mit den gemäß Fig.6 oberen Source-/Drain-Anschlüssen der Transistoren 323, 325 gekoppelt ist. Das elektrische Potential des zweiten Source-/Drain-Anschlusses des dritten Leistungsschalter-Transistors 602 ist das virtuelle Versorgungsspannungs-Potential VDDV. Den gemäß  
15 Fig.6 unteren Source-/Drain-Anschlüssen der Transistoren 321, 322, die mit dem gemäß Fig.6 oberen Source-/Drain-Anschluss des ersten Leistungsschalter-Transistors 317 gekoppelt sind, ist das virtuelle Massepotential VSSV bereitstellbar.

20 Anstelle des n-MOS-Leistungsschalter-Transistors 502 aus Fig.5 wird in Fig.6 ein p-MOS-Leistungsschalter 602 verwendet, mittels welchem die Inverter zum Generieren der Signale S und R mit einer virtuellen Versorgungsspannung VDDV gekoppelt sind. Ein großer Vorteil dieses  
25 Ausführungsbeispiels ist, dass jeweils ein Source-/Drain-Anschluss der Transistoren 324, 326 mit der realen Masse VSS 318 gekoppelt ist, wodurch diesen Knoten im Standby-Modus ein definiertes elektrisches Potential bereitgestellt ist. Daher eignet sich die Schaltkreis-Anordnung 600 besonders gut für  
30 Anwendungen, bei denen lange Standby-Zeiten auftreten können. Um im aktiven Betrieb einen Anstieg der CLK-Q bzw. CLK-/Q Propagationszeit aufgrund eines verlangsamten 0-1-Übergangs auf S oder R zu vermeiden, ist der Leistungsschalter 602 entsprechend den Anforderungen an die Propagationszeit  
35 dimensioniert.

Die Transistoren 324, 326, die gemäß Fig.6 als  
Niedrigschwelligkeitsspannungs-Transistoren realisiert sind,  
können alternativ eine hohe Schwellenspannung und eine große  
Dicke der Gate-isolierenden Schicht aufweisen. In diesem Fall  
5 wird auch der Gate-Tunnelstrom über den Gate-Anschluss der  
Transistoren 324, 326 unterbunden. Da im aktiven Betrieb  
jeweils nur ein 1-0-Übergang auf /S oder /R erfolgt, wird die  
CLK-Q bzw. CLK-/Q Propagationszeit des Flip-Flops aufgrund  
dieser Maßnahme nicht erhöht.

10

Bei der Schaltkreis-Anordnung 600 weisen die Inverter zum  
Generieren der Signale R und S einen Anschluss zum  
Massepotential VSS auf und werden über einen dritten p-MOS-  
Leistungsschalter-Transistors 602 mit einer virtuellen  
15 Versorgungsspannung VDDV betrieben. Im Standby-Modus sind die  
Transistoren 324, 326 geöffnet, da /S und /R auf VDDL  
vorgeladen sind. Die Knoten S und R liegen auf dem  
elektrischen Massepotential VSS 318 und sperren daher die n-  
MOS-Speicher-Transistoren 321, 322. Der Leckstrom durch die  
20 geschlossenen p-MOS-Transistoren 323, 325 der Inverter wird  
mittels des p-MOS Leistungsschalters 602 unterbunden.

Im Weiteren wird beziehungsweise auf **Fig.7** eine Schaltkreis-  
Anordnung 700 gemäß einem fünften Ausführungsbeispiel der  
25 Erfindung beschrieben.

Bei der Schaltkreis-Anordnung 700 sind die Teilschaltkreise  
301 bis 304 wie in Fig.3 realisiert. Zusätzlich zu diesen  
Komponenten ist ein Scanpfad-Teilschaltkreis 701 ausgebildet,  
30 der mit den Ausgangs-Knoten Q, /Q des Flip-Flop-  
Teilschaltkreises 301 gekoppelt ist.

Der Knoten mit dem Ausgabesignal /Q ist mit einem ersten  
Source-/Drain-Anschluss eines ersten n-MOS-Scanpfad-  
35 Transistors 702 gekoppelt. An den Gate-Anschluss des ersten  
n-MOS-Scanpfad Transistors 702 und an den Gate-Anschluss  
eines zweiten n-MOS-Scanpfad-Transistors 703 ist ein Enable-

Signal SE anlegbar. Ein erster Source-/Drain-Anschluss des zweiten n-MOS-Scanpfad-Transistors 703 ist mit dem Knoten Q des Flip-Flop-Teilschaltkreises 301 gekoppelt. Ein zweiter Source-/Drain-Anschluss des ersten n-MOS-Scanpfad Transistors

5 702 ist mit einem ersten Source-/Drain-Anschluss eines dritten n-MOS-Scanpfad-Transistors 704 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential VSS 318 gebracht werden kann. An dem Gate-Anschluss des dritten n-MOS-Scanpfad-Transistors 704 ist ein

10 Scan-Eingabesignal SI anlegbar. Ferner ist ein zweiter Source-/Drain-Anschluss des zweiten n-MOS-Scanpfad Transistors 703 mit einem ersten Source-/Drain-Anschluss eines vierten n-MOS-Scanpfad-Transistors 705 gekoppelt. An den Gate-Anschluss des vierten n-MOS-Scanpfad-Transistors 705

15 ist ein zu dem Scan-Eingabesignal SI komplementäres Signal /SI anlegbar. Der zweite Source-/Drain-Anschluss des vierten n-MOS-Scanpfad-Transistors 705 kann auf das elektrische Massepotential VSS 318 gebracht werden.

20 Der erste Source-/Drain-Anschluss des ersten n-MOS-Scanpfad-Transistors 702 ist mit dem Gate-Anschluss eines ersten p-MOS-Scanpfad-Transistors 706 gekoppelt. Ein erster Source-/Drain-Anschluss des ersten p-MOS-Scanpfad Transistors 706 ist auf das elektrische Potential der Versorgungsspannung VDDL

25 311 bringbar. Ein zweiter Source-/Drain-Anschluss des ersten p-MOS-Scanpfad-Transistors 706 ist mit einem ersten Source-/Drain-Anschluss eines zweiten p-MOS-Scanpfad-Transistors 707 gekoppelt, an dessen Gate-Anschluss ein Signal /SL anlegbar ist. Ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-

30 Scanpfad-Transistors 707 ist mit einem ersten Source-/Drain-Anschluss eines fünften n-MOS-Scanpfad-Transistors 708 gekoppelt. An dem Gate-Anschluss des fünften n-MOS-Scanpfad-Transistors 708 ist ein zu dem Signal /SL inverses Signal SL anlegbar. Der zweite Source-/Drain-Anschluss des fünften n-

35 MOS-Scanpfad-Transistors 708 ist mit einem ersten Source-/Drain-Anschluss eines sechsten n-MOS-Scanpfad-Transistors 709 gekoppelt, dessen zweiter Source-/

Drain-Anschluss auf das elektrische Massepotential VSS 318 gebracht werden kann. Der Gate-Anschluss des sechsten n-MOS-Scanpfad-Transistors 709 ist mit dem Gate-Anschluss des ersten p-MOS-Scanpfad-Transistors 706 gekoppelt.

5

Der erste Source-/Drain-Anschluss des zweiten n-MOS-Scanpfad-Transistors 703 ist mit dem Gate-Anschluss eines dritten p-MOS-Scanpfad-Transistors 710 gekoppelt. Ein erster Source-/Drain-Anschluss des dritten p-MOS-Scanpfad-Transistors 710 kann auf das elektrische Potential der Versorgungsspannung VDDL 311 gebracht werden. Der zweite Source-/Drain-Anschluss des dritten p-MOS-Scanpfad-Transistors 710 ist mit einem ersten Source-/Drain-Anschluss eines vierten p-MOS-Scanpfad-Transistors 711 gekoppelt, an dessen Gate-Anschluss das Signal /SL anlegbar ist. Ein zweiter Source-/Drain-Anschluss des vierten p-MOS-Scanpfad-Transistors 711 ist mit einem ersten Source-/Drain-Anschluss eines siebten n-MOS-Scanpfad-Transistors 712 gekoppelt, an dessen Gate-Anschluss ein Signal SL anlegbar ist. Ein zweiter Source-/Drain-Anschluss des siebten n-MOS-Scanpfad-Transistors 712 ist mit einem ersten Source-/Drain-Anschluss eines achten n-MOS-Scanpfad-Transistors 713 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential VSS 318 bringbar ist. Der Gate-Anschluss des achten n-MOS-Scanpfad-Transistors 713 ist mit dem Gate-Anschluss des dritten p-MOS-Scanpfad-Transistors 710 gekoppelt.

Ferner ist der zweite Source-/Drain-Anschluss des zweiten p-MOS-Scanpfad-Transistors 707 mit dem Gate-Anschluss eines fünften p-MOS-Scanpfad Transistors 714 gekoppelt. Ein erster Source-/Drain-Anschluss des fünften p-MOS-Scanpfad-Transistors 714 ist auf das elektrische Potential der Versorgungsspannung 311 bringbar. Ferner ist ein zweiter Source-/Drain-Anschluss des fünften p-MOS-Scanpfad-Transistors 714 mit einem ersten Source-/Drain-Anschluss eines neunten n-MOS-Scanpfad-Transistors 716 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische

Massepotential VSS 318 bringbar ist. Der Gate-Anschluss des neunten n-MOS-Scanpfad-Transistors 716 ist mit dem Gate-Anschluss des fünften p-MOS-Scanpfad-Transistors 714 gekoppelt. An dem Gate-Anschluss des neunten n-MOS-Scanpfad-Transistors 716 ist ein Ausgangssignal SO bereitgestellt.

Der zweite Source-/Drain-Anschluss des vierten p-MOS-Scanpfad-Transistors 711 ist mit dem Gate-Anschluss eines sechsten p-MOS-Scanpfad-Transistors 715 gekoppelt, dessen erster Source-/Drain-Anschluss auf das elektrische Potential der Versorgungsspannung VDDL 311 gebracht werden kann. Der zweite Source-/Drain-Anschluss des sechsten p-MOS-Scanpfad-Transistors 715 ist mit dem Gate-Anschluss des neunten n-MOS-Scanpfad-Transistors 716 gekoppelt. Ferner ist der zweite Source-/Drain-Bereich des sechsten p-MOS-Scanpfad-Transistors 715 mit einem ersten Source-/Drain-Anschluss eines zehnten n-MOS-Scanpfad Transistors 717 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential VSS 318 bringbar ist. Der Gate-Anschluss des zehnten n-MOS-Scanpfad-Transistors 717 ist mit dem Gate-Anschluss des sechsten p-MOS-Scanpfad-Transistors 715 gekoppelt. An diesen Gate-Anschlüssen ist das zu dem Ausgangssignal SO komplementäre Ausgangssignal /SO bereitgestellt.

Ferner ist der zweite Source-/Drain-Anschluss des sechsten p-MOS-Scanpfad-Transistors 715 mit dem zweiten Source-/Drain-Anschluss des zweiten p-MOS-Scanpfad-Transistors 707 gekoppelt.

Im Weiteren wird die Funktionalität der Schaltkreis-Anordnung 700, insbesondere des Scanpfad-Teilschaltkreises 701, beschrieben.

Anschaulich dient der Scanpfad-Teilschaltkreis 701 dazu, die Funktionalität der restlichen Schaltkreis-Anordnung, insbesondere des Flip-Flop-Teilschaltkreises 301, zu überprüfen. Hierfür kann in den Flip-Flop-Teilschaltkreis 301

ein Signal eingeschrieben werden und das Signal nachfolgend zu Testzwecken wiederausgelesen werden.

Wenngleich in Fig.7 die Scanpfad-Erweiterung 701 für die in  
5 Fig.3 gezeigte Schaltkreis-Anordnung 300 dargestellt ist,  
kann eine solche Erweiterung mit jedem anderen  
Ausführungsbeispiel der erfindungsgemäßen Schaltkreis-  
Anordnung kombiniert werden, indem ein Scanpfad-  
Teilschaltkreis 701 analog zu der in Fig.7 gezeigten Weise  
10 mit den Knoten Q, /Q der jeweiligen Schaltkreis-Anordnung  
gekoppelt wird.

Die Scanfähigkeit eines Flip-Flop-Schaltkreises ist in einem  
komplexen Schaltkreis vorteilhaft, um aus Eingangs- und  
15 Ausgangsregistern einen Scanpfad zum Testen der integrierten  
Schaltung aufzubauen. Da ein solcher Test im Vergleich zum  
aktiven Betrieb der Schaltkreis-Anordnung 700 eher  
zeitunkritisch ist, sind alle Transistoren 702 bis 717  
minimal dimensioniert und weisen eine hohe Schwellenspannung  
20 und eine Gate-isolierende Schicht einer großen Dicke auf.

Die Eingänge des Scanpfad-Teilschaltkreises 701 sind mit den  
Ausgängen Q und /Q des Set-Reset Flip-Flops 301 gekoppelt.  
Der Scan-Eingangsbereich enthält die Transistoren 702 bis  
25 705. Mittels des Signals SE wird der Scanmodus eingeschaltet.  
Während des Scanmodus ist der Pulsgenerator-Teilschaltkreis  
302 in der Regel abgeschaltet (CLK="0", /STB="0"). Mittels  
der Eingänge SI und /SI der Transistoren 704, 705 wird das  
Set-Reset-Flip-Flop 301, d.h. die Knoten Q und /Q,  
30 beschrieben.

Die Transistoren 327 bis 330, 702 bis 705 bilden mit den  
Transistoren 706 bis 717 eine Master-Slave-Anordnung. Hierbei  
bilden Transistoren 327 bis 330, 702 bis 705 die Master-  
35 Stufe, wohingegen die Transistoren 706 bis 717 die Slave-  
Stufe bilden. Die Slave-Stufe übernimmt die eingelesenen  
Zustände SI und /SI auf der ansteigenden Flanke zu SL="1"

bzw.  $/SL="0"$ . Ein Scan-Flip-Flop ist aus den Transistoren 714 bis 717 in Form zweier rückgekoppelter Inverter gebildet. Die Transistoren 706 bis 709 und die Transistoren 710 bis 713 bilden jeweils ein sogenanntes C<sup>2</sup>MOS-Latch ("Clocked-CMOS-Latch"), welches die Daten-Propagation zum Scan-Flip-Flop steuert. Sobald die beiden C<sup>2</sup>MOS-Latches geöffnet sind, sperrt die Master-Stufe über  $SE="0"$  die Kopplung zu den Scan-Eingängen SI und  $/SI$ . Die Takte des Scanpfads SL und  $SE=/SL$  sind somit invers zueinander. Das Signal  $SL=/SE$  kann  
5  
10 beispielsweise lokal mittels eines Inverters aus dem Scan-Enable-Signal SE erzeugt oder global an alle Flip-Flops weitergeleitet werden (nicht gezeigt in Fig.7).

Zum Ausbilden der Scanpfade in einem n-Bit breiten Eingangs- oder Ausgangsregister werden die Scan-Ausgänge SO und  $/SO$  einer Stufe i jeweils mit den Scan-Eingängen SI und  $/SI$  einer Stufe i+1 derart verschaltet, dass ein Schieberegister gebildet wird. Auf diese Weise lässt sich der gesamte Datenpfad innerhalb von n Scantaktzyklen, definiert mittels  
15  
20 des SE-Signals, zu Testzwecken sukzessive mit Daten beschreiben.

Im Gegensatz zu der aus [11] bekannten Anordnung für ein flankengesteuertes differentiellcs Flip-Flop ist die in Fig.7  
25 gezeigte Anordnung der Scannerweiterung vollkommen symmetrisch. Die erfindungsgemäße Implementierung des Scanpfad-Teilschaltkreises 701 aus Transistoren mit hoher Schwellenspannung und hoher Dicke der Gate-isolierenden Schicht ist wesentlich. Angesichts von nur sechs zusätzlichen  
30 Leckstrompfaden von VDDL zu VSS bewirkt der Scanpfad-Teilschaltkreis 701 eine nur sehr geringe Erhöhung der Verlustleistung bezogen auf die Schaltkreis-Anordnung 300.

Im Vergleich zu einem Flip-Flop ohne einen Scanpfad  
35 (Schaltkreis-Anordnung 300) befinden sich an den Ausgängen Q und  $/Q$  mit den parasitären Drain-Kapazitäten der Scan-Enable-Transistoren 702, 703 nur zwei Lasten, die in guter Nährung

vernachlässigbar sind. Somit ist eine ausreichend schnelle Propagation von Signalen durch die Scannerweiterung 701 sichergestellt.

- 5 Obwohl in dem Scanpfad-Teilschaltkreis 701 eine höhere Anzahl von Zusatz-Transistoren erforderlich ist als bei der aus [3] bekannten Lösung, ist bei dem aus [3] bekannten Scanpfad eine Erhöhung der Propagationszeit zu beobachten, da die Transistoren der Scanpfad-Erweiterung im Gegensatz zu dem in
- 10 Fig.7 gezeigten Scanpfad-Teilschaltkreis 701 nicht minimal dimensioniert sind. Ferner belastet gemäß [3] der Aufbau des Scanpfads vom Ausgang des Slave-Latches zum Scan-Eingang des Master-Latches der folgenden Stufe stets den Ausgang des Slave-Latches und reduziert so die effektive
- 15 Treiberfähigkeit. Dies hat zur Folge, dass das Skalierungsverhalten des Scanpfad-Teilschaltkreises 701 bezüglich kleinerer Versorgungsspannungen erfindungsgemäß besser ist als gemäß [3].
- 20 Im Weiteren wird bezugnehmend auf **Fig.8** eine Schaltkreis-Anordnung 800 gemäß einem sechsten Ausführungsbeispiel der Erfindung beschrieben.

- Bei der Schaltkreis-Anordnung 800 sind die Teilschaltkreise
- 25 303, 301, 304 wie bei der Schaltkreis-Anordnung 600 ausgebildet. Anstelle des Pulsgenerator-Teilschaltkreises 302 ist bei der Schaltkreis-Anordnung 800 ein Pulsgenerator-Teilschaltkreis 801 ausgebildet. Dieser entspricht dem Pulsgenerator-Teilschaltkreis 303 mit dem Unterschied, dass
- 30 Transistoren 312, 313, mittels welchen gemäß Fig.6 die Datensignale D und /D eingekoppelt werden, durch erste bis sechste n-MOS-Logik-Transistoren 802 bis 807 ersetzt sind.

- Der erste Source-/Drain-Anschluss des ersten n-MOS-
- 35 Pulsgenerator-Transistors 306 ist mit jeweils einem ersten Source-/Drain-Anschluss eines ersten und eines zweiten n-MOS-Logik-Transistors 802, 803 gekoppelt. An dem Gate-Anschluss

des ersten n-MOS-Logik-Transistors 802 ist ein erstes Datensignal A anlegbar. An dem Gate-Anschluss des zweiten n-MOS-Logik-Transistors 803 ist ein zu dem ersten Datensignal A komplementäres Signal  $\bar{A}$  anlegbar. Der zweite Source-/Drain-Anschluss des ersten n-MOS-Logik-Transistors 802 ist mit einem ersten Source-/Drain-Anschluss eines dritten n-MOS-Logik-Transistors 804 gekoppelt. Der zweite Source-/Drain-Anschluss des dritten n-MOS-Logik-Transistors 804 ist mit einem ersten Source-/Drain-Anschluss eines vierten n-MOS-Logik-Transistors 805 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des zweiten n-MOS-Logik-Transistors 803 und mit einem ersten Source-/Drain-Anschluss eines sechsten n-MOS-Logik-Transistors 807 gekoppelt ist. An dem Gate-Anschluss des dritten n-MOS-Logik-Transistors 804 ist ein zweites Datensignal B anlegbar. An den Gate-Anschlüssen der vierten und fünften n-MOS-Logik-Transistoren 805, 806 ist ein zu dem zweiten Datensignal B komplementäres Signal  $\bar{B}$  anlegbar. Der zweite Source-/Drain-Anschluss des ersten n-MOS-Logik-Transistors 802 ist mit einem ersten Source-/Drain-Anschluss des fünften n-MOS-Logik-Transistors 806 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem zweiten Source-/Drain-Anschluss des sechsten n-MOS-Logik-Transistors 807 gekoppelt ist. An dem Gate-Anschluss des sechsten n-MOS-Logik-Transistors 807 ist das Datensignal B angelegt. Ferner ist ein zweiter Source-/Drain-Anschluss des zweiten n-MOS-Logik-Transistors 803 mit einem ersten Source-/Drain-Anschluss des sechsten n-MOS-Logik-Transistors 807 gekoppelt. Die zweiten Source-/Drain-Anschlüsse der Transistoren 804, 805 sind mit dem ersten Source-/Drain-Anschluss des vierten n-MOS-Pulsgenerator-Transistors 314 gekoppelt. Ferner ist der zweite Source-/Drain-Anschluss des vierten n-MOS-Pulsgenerator-Transistors 314 mit den zweiten Source-/Drain-Anschlüssen der fünften und sechsten n-MOS-Logik-Transistoren 806, 807 gekoppelt.

Im Weiteren wird die Funktionalität der Schaltkreis-Anordnung 800 beschrieben.

Die Schaltkreis-Anordnung 800 ist eine Schaltkreis-Anordnung  
5 mit einer integrierten Logikfunktion in der Eingangsstufe  
801. Gemäß dem beschriebenen Ausführungsbeispiel wird unter  
Verwendung einer Logikfunktionalität der Transistoren 802 bis  
807 eine XOR/XNOR-Funktion mit zwei Eingangssignalen A, B  
durchgeführt. Grundsätzlich lässt sich jede Boolesche  
10 Funktion in Form einer funktionellen Logik in jedem der  
Schaltkreise 300 bis 800 implementieren. Es sollte jedoch  
gewährleistet sein, dass bei jedem möglichen Eingangs-  
Bitmuster nur einer der beiden Source-/Drain-Anschlüsse der  
Transistoren 315, 316 über den Logikpfad mit VSSV gekoppelt  
15 wird, so dass nur ein einziger leitender Pfad von einem der  
Source-/Drain-Anschlüsse über den Logikpfad zur virtuellen  
Masse VSSV bei CLK="1" existiert.

Somit kann anschaulich eine Logik-Stufe in dem Pulsgenerator-  
20 Teilschaltkreis 302 implementiert sein.

Im Weiteren wird die technologische Realisierung der  
Schaltkreis-Anordnungen 300 bis 800 gemäß einem bevorzugten  
Ausführungsbeispiel der Erfindung beschrieben.

25 Jede der Schaltkreis-Anordnungen 300 bis 800 eignet sich  
grundsätzlich für eine beliebige Kombination von  
unterschiedlichen MOS-Feldeffekttransistortypen mit  
unterschiedlichen Schwellenspannungen und Dicken der Gate-  
30 isolierenden Schicht.

Exemplarisch sind folgende Implementierungsmöglichkeiten zu  
nennen:

35 a) Die oben beschriebenen Ausführungsbeispiele basieren auf  
einem Prozess, bei dem zwei Transistortypen (jeweils n-MOS  
und p-MOS) mit mindestens zwei unterschiedlichen Werten von

Schwellenspannungen und mit unterschiedlichen Dicken der Gate-isolierenden Schicht zur Verfügung gestellt sind.

b) In einem Prozess, in dem lediglich ein Transistortyp (p-MOS oder n-MOS) mit einer hohen Schwellenspannung bereitgestellt ist, können die Schwellenspannungen der Transistoren im kritischen Pfad der Schaltkreis-Anordnung, das heißt bei den Pulsgenerator- und den Schalt-Transistoren, mittels des sogenannten Forward-Biasing-Verfahrens, abgesenkt werden. Für einen n-MOS-Transistor wird hierfür eine positive Spannung an den Bulk-Kontakt angelegt. Für einen p-MOS-Transistor wird hierfür eine negative Spannung an den Bulk-Kontakt angelegt. In diesem Szenario ist ein Dreifach-Wannenprozess ("triple well") vorteilhaft.

c) Grundsätzlich können die erforderlichen niedrigen Leckströme im Speicher-Flip-Flop, im Scanpfad, sowie in den Leistungsschalter-Transistoren auch unter Verwendung des sogenannten Reverse-Biasing-Verfahrens von Transistoren mit niedriger Schwellenspannung erzielt werden.

d) Bei einer Verwendung von Doppelgate-Transistoren auf SOI-Basis ("silicon on insulator") anstelle von Bulk-MOS-Transistoren lässt sich für jeden Transistor je nach Betriebszustand eine gewünschte Schwellenspannung einstellen. Bei einem Doppelgate-Transistor erfolgt die Verschiebung der Schwellenspannung allerdings nicht über einen Bulk-Kontakt, sondern über das Backgate. Die Backgate-Spannungen können in Abhängigkeit des Betriebszustandes (Aktiv/Standby) gemäß Tabelle 1 gewählt werden.

Betriebszustand	n-MOS		p-MOS	
	Backgate VGBN	Schwellenspannung VT0N	Backgate VGBP	Schwellenspannung VT0P
Aktiv: /STB=1	$\geq VDDL$	niedrig	$\leq 0V$	niedrig
Standby:	$\leq 0V$	hoch	$\geq VDDL$	hoch

/STB=0				
--------	--	--	--	--

Tabelle 1

Für eine ausreichend dicke Backgate-isolierende Schicht kann der Leistungsschalter-Transistor 317 sogar vollständig  
 5 weggelassen werden, wenn der Takt wie für das Flip-Flop vorgesehen ist, im Standby-Modus auf  $V_{CLK} = 0$  V gesetzt wird. Sofern simultan am Backgate des Takttransistors 306 eine negative Spannung anliegt, erhöht sich dessen Schwellenspannung und unterbindet den Leckstrom des  
 10 Pulsgenerators. Auch die Leckströme der Transistoren 324, 321, 322, 326 werden durch eine stark negative Backgate-Spannung minimiert.

Voraussetzung für die oben genannten Implementierungs-  
 15 Möglichkeiten b) bis d) ist, dass die Transistoren eine ausreichend dicke Gate-isolierende Schicht aufweisen und der elektrische Strom im ausgeschalteten Zustand nicht durch den Gate-Leckstrom dominiert wird, da sich in allen drei Fällen nur die Unterschwellen-Komponente des Gesamt-Leckstroms  
 20 verändern lässt. Werden Transistoren mit dünnen Gate-isolierenden Schichten und hohen Gate-Leckströmen verwendet, ist stets ein Leistungsschalter-Transistor mit einer ausreichend dicken Gate-isolierenden Schicht erforderlich.

25 Im Weiteren wird bezugnehmend auf **Fig.9** eine Schaltkreis-Anordnung 900 gemäß einem siebten Ausführungsbeispiel der Erfindung beschrieben.

Die Schaltkreis-Anordnung 900 unterscheidet sich von der in  
 30 Fig.3 gezeigten Schaltkreis-Anordnung 300 im Wesentlichen dadurch, dass zwischen dem Flip-Flop-Teilschaltkreis 301 und dem Einkoppel-Teilschaltkreis 304 ein erster und ein zweiter Transmissionsgate-Teilschaltkreis 901 bzw. 902 geschaltet ist. Anders ausgedrückt ist zwischen die beiden miteinander  
 35 gekoppelten Source-/Drain-Anschlüsse des ersten p-MOS-Schalt-Transistors 319 und des ersten n-MOS-Schalt-Transistors 321

einerseits und die beiden miteinander gekoppelten Source-/Drain-Anschlüsse des ersten p-MOS-Speicher-Transistors 327 und des ersten n-MOS-Speicher-Transistors 328 der erste Transmissionsgate-Teilschaltkreis 901 geschaltet. Dieser ist  
5 gebildet aus zwei miteinander parallel verschalteten Transistoren, nämlich dem ersten p-MOS-Schutz-Transistor 903 und dem ersten n-MOS-Schutz-Transistor 904. Erste Source-/Drain-Anschlüsse der Transistoren 903, 904 sind miteinander gekoppelt. Ferner sind zweite Source-/Drain-Anschlüsse der  
10 beiden Transistoren 903, 904 miteinander gekoppelt. An Gate-Anschlüssen der Transistoren 903, 904 sind Steuersignale WB bzw. /WB anlegbar. Die Steuersignale WB und /WB sind zueinander komplementär, und auch die beiden mit diesen Steuersignalen ansteuerbaren Transistoren 903, 904 sind  
15 unterschiedlichen Leitungstyps. Daher sind bei angelegten Steuersignalen WB, /WB entweder beide Transistoren 903, 904 geöffnet oder beide geschlossen.

Ferner ist in Fig.9 ein zweiter Transmissionsgate-  
20 Teilschaltkreis 902 vorgesehen, bei dem ein zweiter p-MOS-Schutz-Transistor 905 und ein zweiter n-MOS-Schutz-Transistor 906 zueinander parallel geschaltet sind, wobei erste Source-/Drain-Anschlüsse der Transistoren 905, 906 miteinander gekoppelt sind, und wobei zweite Source-/Drain-Anschlüsse der  
25 Transistoren 905, 906 miteinander gekoppelt sind. Die miteinander gekoppelten ersten Source-/Drain-Anschlüsse der Transistoren 905, 906 sind mit den miteinander gekoppelten Source-/Drain-Anschlüssen des zweiten p-MOS-Speicher-Transistors 329 und des zweiten n-MOS-Speicher-Transistors  
30 330 gekoppelt. Ferner sind die zweiten miteinander gekoppelten Source-/Drain-Anschlüsse der Transistoren 905, 906 mit den miteinander gekoppelten Source-/Drain-Anschlüssen des zweiten p-MOS-Schalt-Transistors 320 und des zweiten n-MOS-Schalt-Transistors 322 gekoppelt. Auch bei dem zweiten  
35 Transmissionsgate-Teilschaltkreis 902 sind die an die Gate-Anschlüsse der Transistoren 905, 906 angelegten Steuersignale WB, /WB zueinander komplementär, so dass aufgrund der

komplementären Leitfähigkeitstypen der Transistoren 905, 906 entweder beide Transistoren 905, 906 geöffnet sind oder sperren.

5 Wie ferner in Fig.9 gezeigt, sind die Transistoren 903 bis 906 der Transmissionsgate-Teilschaltkreise 901, 902 mit einem hohen Wert der Schwellenspannung vorgesehen, so dass sie im sperrenden Zustand besonders sicher sperren und nur vernachlässigbare Leckströme aufweisen.

10

Mit der Schaltkreis-Anordnung 900 ist ein Sense-Amplifier-Based-Flip-Flop mit einer Speicherfunktionalität im Standby-Modus bereitgestellt, bei dem die miteinander rückgekoppelten Inverter des Flip-Flop-Schaltkreises 301 (ein erster Inverter  
15 ist aus den Transistoren 327, 328 und ein zweiter Inverter ist aus den Transistoren 329, 330 gebildet) über die Transmissionsgate-Teilschaltkreise 901, 902 mit den Schalt-Transistoren 319, 321 bzw. 320, 322 gekoppelt sind.

20 Zwischen die beiden rückgekoppelten Inverter 327, 328 einerseits und 329, 330 andererseits, welche aus leckstromarmen Transistoren mit dicker Gate-isolierender Schicht und mit einem hohem Wert der Schwellenspannung hergestellt sind, sind die beiden Transmissions-Gates 901,  
25 902 aus den Transistoren 903, 904 bzw. 905, 906 zwischengeschaltet. Aufgabe der Transmissions-Gates 901, 902 ist es, die rückgekoppelten Inverter 327, 328 bzw. 329, 330 während des Standby-Zustands von übrigen Komponenten der Schaltkreis-Anordnung zu entkoppeln. Auf diese Weise ist  
30 sicher vermieden, dass aufgrund einer auf  $V_{SSV}=V_{DD}$  gefloateten virtuellen Versorgungsspannung ein Speicherinhalt in dem Flip-Flop-Teilschaltkreis 301 unerwünscht überschrieben wird. Die digitalen Steuersignale der Transmissionsgate-Teilschaltkreise 901, 902 werden hierfür auf WB="0" und  
35 /WB="1" gelegt. Dieser Betriebszustand ist in **Fig.10** gezeigt, wo zeichnerisch veranschaulicht ist, dass die Transmissionsgate-Teilschaltkreise 901, 902 in diesem

Betriebszustand sperren. Das elektrische Potential mit dem logischen Wert "0" von WB bzw. das elektrische Potential mit dem logischen Wert "1" von /WB kann auch unterhalb von  $V_{SS}$  bzw. oberhalb von  $V_{DD}$  liegen, wodurch eine negative absolute Gate-Source-Spannung an den Transistorpaaren 903, 904 bzw. 905, 906 generiert werden.

Im aktiven Betrieb der Schaltkreis-Anordnung 900 sind beide Transmissionsgate-Teilschaltkreise 901, 902 mittels Anlegens der Steuersignale WB="1" und /WB="0" eingeschaltet, so dass die rückgekoppelten Inverter 327, 328 bzw. 329, 330 über die leitenden Kanal-Bereiche der Transistoren 903 bis 906 mit den jeweiligen Drain-Anschlüssen der Schalt-Transistoren 319, 321 bzw. 320, 322 gekoppelt sind. Das Steuersignal mit einem logischen Wert "0" von /WB bzw. das Steuersignal mit einem logischen Wert "1" von WB kann auch unterhalb von  $V_{SS}$  bzw. oberhalb von  $V_{DD}$  liegen, wodurch ein erhöhter Gate-Overdrive- $V_{GS}-V_T$  erreicht wird, wobei  $V_T$  die Schwellenspannung des zugehörigen Transistors und  $V_{GS}$  die Gate-Source-Spannung ist. Dies bewirkt eine niederohmigere Kopplung der Schalt-Transistoren 319 bis 322 zu den rückgekoppelten Invertern 327 bis 330.

Die Transmissionsgate-Teilschaltkreise 901, 902 sind wie die beiden rückgekoppelten Inverter 327 bis 330 aus leckstromarmen Transistoren mit dicker Gate-isolierender Schicht und somit hohem Wert der Schwellenspannung gebildet und werden im Schaltungslayout bevorzugt zusammen gruppiert, so dass lediglich ein Bereich mit dicker Gateoxid-Schicht und/oder höherer Schwellenspannung generiert wird. Dies gewährleistet eine hohe Flächeneffizienz, da bei derartigen Schaltungskomponenten Mindestabstände zwischen Transistoren und unterschiedlichen Gateoxid-Dicken erforderlich sind.

Im Standby-Zustand fließen lediglich Unterschwellenströme (typischer Weise 10pA pro  $\mu\text{m}$  Transistorweite in 90nm CMOS-Technologie) der ausgeschalteten Transmissionsgate-

Teilschaltkreise 901, 902 in die rückgekoppelten Inverter 327 bis 330. Dieser elektrische Strom reicht in aller Regel nicht aus, um den Speicherinhalt an den in Fig.9 gezeigten Knoten  $Q_{int}$  und  $/Q_{int}$  zu überschreiben. Zur Verdeutlichung des Funktionsprinzips sind in Fig.9, Fig.10 sowohl die externen Flip-Flop-Ausgänge  $Q$  und  $/Q$  sowie die internen Speicherknoten  $Q_{int}$  und  $/Q_{int}$  veranschaulicht. Logik-Gatter werden mittels der externen Ausgänge  $Q$  und  $/Q$  angesteuert. Sollten in einem Logik-Block während des Standby-Zustands die stabilen Signale  $Q_{int}$  und  $/Q_{int}$  benötigt werden, so können diese dort über Transistoren mit einer vorzugsweise dicken Gateoxid-Schicht eingekoppelt werden. In diesem Falle entsteht kein zusätzlicher Gateleckstrompfad.

Bei dem in Fig.10 gezeigten Standby-Modus der Schaltkreis-Anordnung 900 sind beispielsweise nach ca.  $10\mu s$  die externen Ausgänge  $Q$  und  $/Q$  sowie die virtuelle Versorgungsspannung  $V_{SSV}$  auf  $V_{DD}$  gefloatet. Die Transmissionsgate-Teilschaltkreise 901, 902 verhindern anschaulich, dass der Speicherinhalt an  $Q_{int}$  und  $/Q_{int}$  überschrieben wird.

Die Schaltkreis-Anordnung 900 weist gegenüber der Schaltkreis-Anordnung 300 den Vorteil auf, dass bei der Schaltkreis-Anordnung 900 sicher vermieden ist, dass die Schalt-Transistoren 321, 322 des Flip-Flops in der Ausgangsstufe selbst bei ungünstigen Dimensionierungen oder Prozessvariationen den Speicherinhalt der Inverter 327 bis 330 überschreiben können.

Im Weiteren wird bezugnehmend auf **Fig.11** ein Zeitdiagramm 1100 beschrieben.

Aus Fig.11 geht das Reaktivieren der Schaltkreis-Anordnung 900 aus dem Standby-Zustand, der aktive Betrieb und das Entkoppeln der Inverter 327, 328 bzw. 329, 330 hervor. Die aktive Phase (oszillierendes Taktsignal) erstreckt sich üblicherweise über viele Taktzyklen (häufig mehr als 1000)

hinweg. Das Aufladen der virtuellen Versorgungsspannung dauert in modernen Technologien ca. 10 $\mu$ s bis 50 $\mu$ s.

Bei den Zeitdiagramm 1100 ist entlang einer Zeitachse 1101  
5 die Zeit aufgetragen und entlang einer Signalachse 1102  
unterschiedliche Signale, welche an Anschlüsse der  
Schaltkreis-Anordnung 900 anlegbar sind. Die Bezeichnungen  
der Signale ( $/Q$ ,  $/Q_{int}$ ,  $Q$ ,  $Q_{int}$ ,  $WB$ ,  $/WB$ ,  $V_{SSV}$ ,  $/STB$ ,  $CLK$ ) in  
Fig.11 entsprechen den Bezeichnungen in der Schaltkreis-  
10 Anordnung 900 in Fig.9, Fig.10.

Im Weiteren wird das Zeitdiagramm 1100 näher beschrieben.

Der Zeitbereich  $t_1$  bis  $t_3$  repräsentiert das Reaktivieren des  
15 Flip-Flops, das Zeitintervall von  $t_4$  bis  $t_5$  den aktiven  
Betrieb und das Zeitintervall von  $t_6$  bis  $t_7$  das Einleiten  
eines Standby-Zustands.

Vor dem Zeitpunkt  $t_1$  befindet sich die Schaltkreis-Anordnung  
20 900 in dem Standby-Modus, in dem  $Q$ ,  $/Q$  und  $V_{SSV}$  auf  $V_{DD}$   
gefloated sind.  $Q_{int}$  und  $/Q_{int}$  halten einen definierten  
Zustand.

Zum Zeitpunkt  $t_2$  wird der erste Leistungsschalter-Transistor  
25 317 geöffnet. Es wird  $V_{SSV}$  auf  $V_{SS}$  entladen. Wegen des  
niedrigen Taktsignals  $CLK="0"$  sind die Schalt-Transistoren  
319 bis 322 geschlossen.

Zum Zeitpunkt  $t_3$  sind die Transistoren 903 bis 906 der  
30 Transmissionsgate-Teilschaltkreise 901, 902 geöffnet. Der  
Speicherinhalt aus  $Q_{int}$  und  $/Q_{int}$  wird auf  $Q$  und  $/Q$  übertragen.

Zum Zeitpunkt  $t_4$  ist das Taktsignal  $CLK$  aktiv. Dies bewirkt  
einen Zustandswechsel bei  $Q$  und  $/Q$  aufgrund geänderter  
35 Eingangsdaten.

Zum Zeitpunkt  $t_5$  wird das Taktsignal CLK gestoppt, so dass die Schalt-Transistoren 319 bis 322 der Ausgangsstufe geschlossen werden.

- 5 Zum Zeitpunkt  $t_6$  werden die Transistoren 903 bis 906 der Transmissionsgate-Teilschaltkreise 901, 902 geschlossen.  $Q_{int}$  und  $/Q_{int}$  werden von  $Q$  und  $/Q$  entkoppelt.

- 10 Zum Zeitpunkt  $t_7$  wird der erste Leistungsschalter-Transistor 317 geschlossen, es erfolgt ein Betrieb in einem neuen Standby-Modus. Nach  $/STB="0"$  beginnen  $Q$ ,  $/Q$  und  $V_{SSV}$  wieder auf  $V_{DD}$  zu floaten.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] M. Hamada, Y. Ootaguro, T. Kuroda, "Utilizing Surplus  
Timing for Power Reduction", Proc. of the IEEE Custom  
Integrated Circuits Conference 2001.
- [2] T. Inukai et al., "Boosted gate MOS (BGMOS):  
device/circuit cooperation scheme to achieve leakage-  
free giga-scale integration", Proceedings of the  
Custom Integrated Circuits Conference, 2000, pp. 409-  
412.
- [3] S. Shigematsu et al., "A 1-V high-speed MTCMOS  
circuit scheme for power-down application circuits",  
IEEE Journal of Solid-State Circuits, Vol. 32, No 6,  
June 1997, pp. 861 - 869.
- [4] P.R. van der Meer, A. van Staveren, A.H.M. Roermund,  
"Ultra-low Standby-Currents for deep sub-micron VLSI  
CMOS Circuits: Smart Series Switch", ISCAS 2000 -  
IEEE International Symposium on Circuits and  
Systems, May 28 to 31, 2000, Geneva, Switzerland
- [5] P.R. van der Meer, A. van Staveren, "Effectivity of  
Standby-Energy Reduction Techniques for Deep-Sub-  
Micron CMOS", ISCAS 2001. Proc. of the 2001 IEEE  
International Symposium on Circuits and Systems  
(ISCAS), Vol. 4, pp. 594 -597.
- [6] S.F Huang et al., "High performance 50 nm CMOS  
devices for microprocessor and embedded processor  
core applications", Technical Digest. International  
Electron Devices Meeting, 2001, pp. 11.1.1 -11.1.4.
- [7] J. Montanaro et al, "A 160-MHz, 32-b, 0.5-W CMOS RISC  
Microprocessor", IEEE Journal of Solid-State

Circuits, Vol. 31, No. 11, Nov. 1996, pp. 1703 - 1714.

[8] US 4,910,713

5

[9] US 6,232,810

[10] T. Hiramoto, "Optimum Device Parameters and Scalability of Variable Threshold Voltage

10 Complementary MOS (VTCMOS)", J. Appl. Phys. Vol. 40 (2001) Part 1, No. 413, 30 April 2001, pp. 2854-2858.

[11] R. Zyuban and D. Meltzer, "Clocking Strategies and Scannable Latches for Low Power Applications", Proc.  
15 of the International Symposium on Low Power Electronics and Design (ISLPED) 2001, Huntington Beach, CA, USA, pp. 346-351.

[12] DE 196 15 413 A1

20

[13] DE 197 13 495 A1

[14] EP 1,193,871 A2

25 [15] EP 1,170,865 A2

[16] US 2002/0047737 A1

[17] JP 2002-250753 A

30

**Patentansprüche:**

## 1. Schaltkreis-Anordnung

- mit einem Flip-Flop mit einer Mehrzahl von Speicher-  
5 Transistoren mit einer Schwellenspannung eines ersten Werts;
- mit einem Leistungsschalter-Transistor mit einer Schwellenspannung eines zweiten Werts, der derart eingerichtet ist, dass mittels Anlegens eines  
10 vorgebbaren elektrischen Potentials an seinen Gate-Anschluss die Schaltkreis-Anordnung in einen Betriebszustand bringbar ist, in dem bei Abschalten mindestens einer Versorgungsspannung in der Schaltkreis-Anordnung enthaltene elektrische Ladungsträger vor einem  
15 Abfließen aus der Schaltkreis-Anordnung geschützt sind;
- mit einer Mehrzahl von Schalt-Transistoren mit einer Schwellenspannung eines dritten Werts zwischen dem Flip-Flop und dem Leistungsschalter-Transistor, zum  
20 Einkoppeln eines Flip-Flop-Eingabesignals in den Flip-Flop;
- wobei der erste und/oder der zweite Wert betragsmäßig größer ist/sind als der dritte Wert.

## 2. Schaltkreis-Anordnung nach Anspruch 1,

- 25 bei der das Flip-Flop zwei aus den Speicher-Transistoren gebildete Inverter aufweist.

## 3. Schaltkreis-Anordnung nach Anspruch 1 oder 2,

- 30 bei der für das Flip-Flop und für mindestens ein zusätzliches Flip-Flop ein gemeinsamer Leistungsschalter-Transistor vorgesehen ist.

4. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 3,  
bei welcher die Dicke der Gate-isolierenden Schicht der  
35 Speicher-Transistoren und/oder des Leistungsschalter-Transistors größer ist als die Dicke der Gate-isolierenden Schicht der Schalt-Transistoren.

5. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 4,  
bei welcher die Kanal-Weite der Speicher-Transistoren  
und/oder des Leistungsschalter-Transistors kleiner ist als  
5 die Kanal-Weite der Schalt-Transistoren.

6. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 5,  
bei der die Schalt-Transistoren derart verschaltet sind, dass  
in einem Betriebszustand der Schaltkreis-Anordnung, in dem  
10 mindestens eine Versorgungsspannung der Schaltkreis-Anordnung  
abgeschaltet ist, alle Anschlüsse der Schalt-Transistoren ein  
definiertes elektrisches Potential aufweisen.

7. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 6,  
15 mit mindestens einem zweiten Leistungsschalter-Transistor,  
der mit zumindest einem Teil der Schalt-Transistoren derart  
gekoppelt ist, dass in einem Betriebszustand der Schaltkreis-  
Anordnung, in dem mindestens eine Versorgungsspannung der  
Schaltkreis-Anordnung abgeschaltet ist, die Gate-Anschlüsse  
20 der mit dem mindestens einen zweiten Leistungsschalter-  
Transistor gekoppelten Schalt-Transistoren ein definiertes  
elektrisches Potential aufweisen.

8. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 7,  
25 mit mindestens einem dritten Leistungsschalter-Transistor,  
der mit zumindest einem Teil der Schalt-Transistoren derart  
gekoppelt ist, dass in einem Betriebszustand der Schaltkreis-  
Anordnung, in dem mindestens eine Versorgungsspannung der  
Schaltkreis-Anordnung abgeschaltet ist, ein Source-/Drain-  
30 Anschluss der mit dem mindestens einen dritten  
Leistungsschalter-Transistor gekoppelten Schalt-Transistoren  
ein definiertes elektrisches Potential aufweisen.

9. Schaltkreis-Anordnung nach Anspruch 8,  
35 bei welcher der mindestens eine dritte Leistungsschalter-  
Transistor ein p-MOS-Feldeffekttransistor ist.

10. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 9,  
mit einem Pulsgenerator-Schaltkreis zum Generieren eines  
Flip-Flop-Eingabesignals aus einem Eingabesignal und aus  
einem Taktsignal, welcher Pulsgenerator-Schaltkreis mit dem  
5 Leistungsschalter-Transistor und mit den Schalt-Transistoren  
gekoppelt ist.

11. Schaltkreis-Anordnung nach Anspruch 10,  
bei welcher der Pulsgenerator-Schaltkreis eine Mehrzahl von  
10 Pulsgenerator-Transistoren mit einem vierten Wert der  
Schwellenspannung aufweist, wobei der erste und/oder der  
zweite Wert betragsmäßig größer ist/sind als der vierte Wert.

12. Schaltkreis-Anordnung nach Anspruch 10 oder 11,  
15 bei welcher der Pulsgenerator-Schaltkreis einen Logik-  
Teilschaltkreis zum Generieren mindestens eines Flip-Flop-  
Eingabesignals aus mindestens einem Eingabesignal gemäß einer  
vorgebbaren Logikoperation aufweist.

20 13. Schaltkreis-Anordnung nach Anspruch 12,  
bei welcher der Logik-Teilschaltkreis derart eingerichtet  
ist, dass die Logikoperation eine

- Inverter-Operation;
  - UND-Operation;
  - 25 • ODER-Operation;
  - Nicht-UND-Operation;
  - Nicht-ODER-Operation; oder
  - Exklusiv-ODER-Operation;
  - Nicht-Exklusiv-ODER-Operation
- 30 ist.

14. Schaltkreis-Anordnung nach Anspruch 12 oder 13,  
bei welcher der Logik-Teil-Schaltkreis eine Mehrzahl von  
Logik-Transistoren mit einem fünften Wert der  
35 Schwellenspannung aufweist, wobei der erste und/oder der  
zweite Wert betragsmäßig größer ist/sind als der fünfte Wert.

15. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 14,  
mit einer Steuer-Einheit zum Steuern von  
Versorgungsspannungen, die an Anschlüsse zumindest eines  
Teils der Transistoren der Schaltkreis-Anordnung anlegbar  
5 sind, welche Steuer-Einheit derart eingerichtet ist, dass sie  
in einem Energiespar-Betriebszustand alle  
Versorgungsspannungen mit Ausnahme von Versorgungsspannungen  
des Flip-Flops abschalten kann.
- 10 16. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 15,  
mit einem mit dem Flip-Flop gekoppelten Test-Schaltkreis, der  
zum Testen der Funktionsfähigkeit des Flip-Flops eingerichtet  
ist.
- 15 17. Schaltkreis-Anordnung nach Anspruch 16,  
bei welcher der Test-Schaltkreis eine Eingangskomponente,  
eingerichtet zum Programmieren eines Test-Eingabesignals in  
den Flip-Flop, und eine Ausgangskomponente, eingerichtet zum  
Auslesen eines Test-Ausgabesignals aus dem Flip-Flop,  
20 aufweist.
18. Schaltkreis-Anordnung nach Anspruch 16 oder 17,  
bei welcher der Test-Schaltkreis eine Mehrzahl von Test-  
Transistoren mit einem sechsten Wert der Schwellenspannung  
25 aufweist, wobei der sechste Wert betragsmäßig größer ist als  
zumindest einer der dritten bis fünften Werte.
19. Schaltkreis-Anordnung nach Anspruch 18,  
bei der die Test-Transistoren eine Gate-isolierende Schicht  
30 aufweisen, die eine größere Dicke aufweist als die Dicke der  
Gate-isolierenden Schicht der Schalt-Transistoren und/oder  
der Pulsgenerator-Transistoren und/oder der Logik-  
Transistoren.
- 35 20. Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 19,  
mit einem oder einer Mehrzahl von Schutz-Transistoren mit  
einer Schwellenspannung eines siebten Werts zwischen dem

Flip-Flop und den Schalt-Transistoren, welche Schutz-Transistoren zum selektiven Koppeln oder Entkoppeln von Flip-Flop und Schalt-Transistoren verschaltet sind, wobei der siebte Wert betragsmäßig größer ist als der dritte Wert.

5

21. Schaltkreis-Anordnung nach Anspruch 20,  
bei der die Schutz-Transistoren eine Gate-isolierende Schicht aufweisen, die eine größere Dicke aufweist als die Dicke der Gate-isolierenden Schicht der Schalt-Transistoren und/oder  
10 der Pulsgenerator-Transistoren und/oder der Logik-Transistoren.

22. Schaltkreis-Anordnung nach Anspruch 20 oder 21,  
die derart eingerichtet ist, dass

- 15 • in einem ersten Betriebszustand, in dem mindestens eine Versorgungsspannung der Schaltkreis-Anordnung abgeschaltet ist, mittels Vorgebens elektrischer Steuersignale an zumindest einen Teil der Schutz-Transistoren diese Flip-Flop und Schalt-Transistoren  
20 voneinander elektrisch entkoppeln;
- in einem zweiten Betriebszustand, in dem die Schaltkreis-Anordnung mit Versorgungsspannungen versorgt wird, mittels Vorgebens elektrischer Steuersignale an  
zumindest einen Teil der Schutz-Transistoren diese Flip-  
25 Flop und Schalt-Transistoren miteinander elektrisch koppeln.

23. Schaltkreis-Anordnung nach einem der Ansprüche 20 bis 22,  
bei der die Schutz-Transistoren mindestens ein Transistor-  
30 Paar von zueinander parallel geschalteten Transistoren unterschiedlichen Leitungstyps aufweisen, welches mindestens eine Transistor-Paar mit seinen Source-/Drain-Anschlüssen zwischen Flip-Flop und Schalt-Transistoren geschaltet ist.

**Zusammenfassung****Schaltkreis-Anordnung**

- 5 Die Erfindung betrifft eine Schaltkreis-Anordnung. Die  
Schaltkreis-Anordnung enthält ein Flip-Flop mit einer  
Mehrzahl von Speicher-Transistoren mit einer  
Schwellenspannung eines ersten Werts und enthält einen  
Leistungsschalter-Transistor mit einer Schwellenspannung  
10 eines zweiten Werts, der derart eingerichtet ist, dass  
mittels Anlegens eines vorgebbaren elektrischen Potentials an  
seinen Gate-Anschluss die Schaltkreis-Anordnung in einen  
Betriebszustand bringbar ist, in dem bei Abschalten  
mindestens einer Versorgungsspannung in der Schaltkreis-  
15 Anordnung enthaltene elektrische Ladungsträger vor einem  
Abfließen aus der Schaltkreis-Anordnung geschützt sind.  
Ferner enthält die Schaltkreis-Anordnung eine Mehrzahl von  
Schalt-Transistoren mit einer Schwellenspannung eines dritten  
Werts zwischen dem Flip-Flop und dem Leistungsschalter-  
20 Transistor, zum Einkoppeln eines Flip-Flop-Eingabesignals in  
den Flip-Flop. Der erste und/oder der zweite Wert ist/sind  
betragsmäßig größer als der dritte Wert.